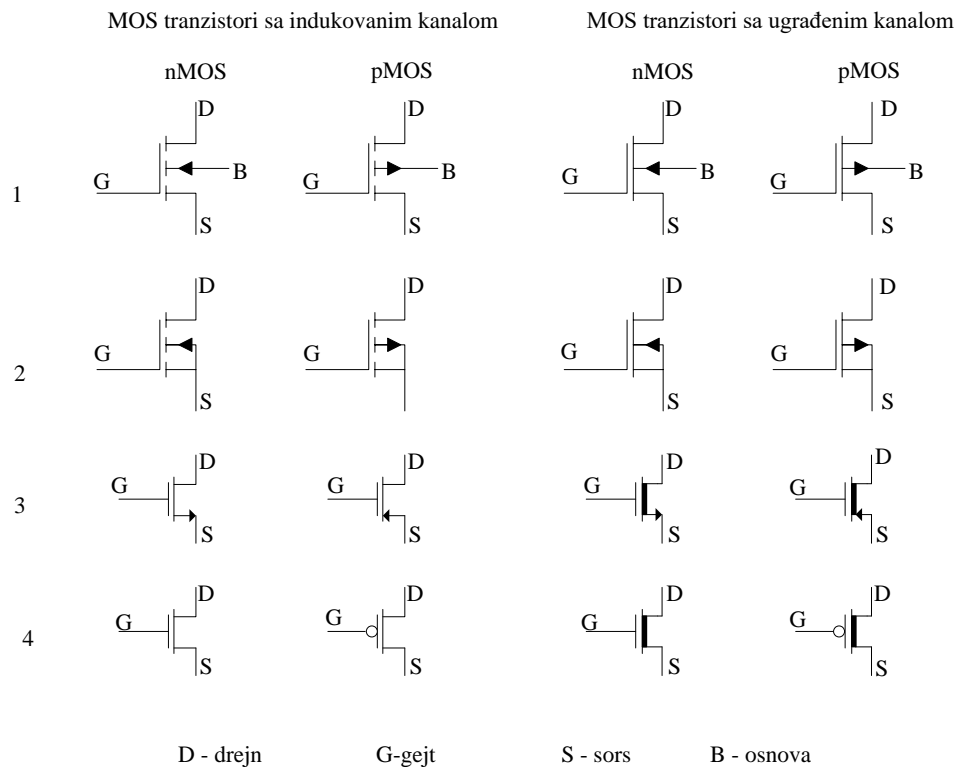


## Logička kola sa MOS FET tranzistorima

### Model MOS FET tranzistora

U analizi logičkih kola sa MOS FET tranzistorima



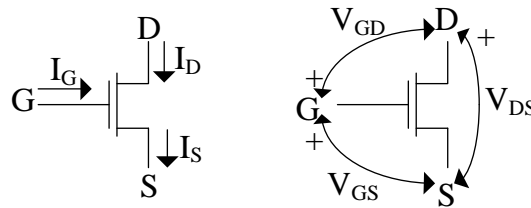
takođe nećemo koristiti modele za male signale izvedene u analognoj elektronici. Da se podsetimo, da bi dobili zone malih pojačanja na karakteristici prenosa, potrebno je da naši elementi rade sa malim pojačanjima, odnosno za slučaj MOS FET tranzistora da budu zakočeni ili da rade u triodnoj oblasti. Za razliku od bipolarnih tranzistora gde su zavisnosti struja i napona eksponencijalne, kod MOS FET tranzistora su kvadratne, tako da ćemo sada manipulirati sa modelom tih zavisnosti. Odnosno, kada budemo analizirali kola, to ćemo raditi preko „pravih“ jednačina. Da se podsetimo, zavisnosti napona i struja koje su izvedene za MOS FET tranzistore su „približne“ i u literaturi postoji više različitih modela tih zavisnosti. Pogotovo kada su dimenzije tranzistora postale „male“ pa su se pojavili i dodatni efekti.

Na slici su prikazana četiri tipa simbola:

1. četvoroterminalni sa odvojenim priključkom za osnovu - smer strelice pokazuje putanju nosioca u kanal;

2. u većini slučajeva u analognoj elektronici se osnova vezuje za sors pa se u analognoj elektronici koristi ovaj simbol - smer strelice pokazuje putanju nosioca u kanal;
3. podrazumevajući da je osnova povezana sa sorsom strelica sada pokazuje smer struje –najčešće se koristi u analognoj elektronici
4. koristi se u digitalnoj elektronici, pošto u realizaciji MOS FET tranzistora je on simetrična struktura, pa je svedjedno šta je sors a šta drejn. Mi koristimo ove simbole

Za usaglašene napone i struje kod nMOS FET tranzistora sa indukovanim „dugačkim“ kanalom te zavisnosti su



$$I_{Gn} = 0$$

$$I_{Dn} = I_{Sn} \geq 0 \quad \text{za} \quad V_{GSn} \geq V_{Tn}$$

Tranzistor vodi u zasićenju, aktivnoj oblasti, kada je

$$V_{DSn} \geq V_{GSn} - V_{Tn}$$

i tada je njegova struja data izrazom

$$I_{Dn} = \frac{k_n}{2} (V_{GSn} - V_{Tn})^2 (1 + \lambda_n V_{DSn})$$

Tranzistor vodi u triodnoj, omskoj, neaktivnoj oblasti, kada je

$$V_{DSn} < V_{GSn} - V_{Tn}$$

i tada je njegova struja data izrazom

$$I_{Dn} = \frac{k_n}{2} (2V_{DSn}(V_{GSn} - V_{Tn}) - V_{DSn}^2)$$

$V_{Tn} > 0$  - prag uključenja n kanalnog tranzistora, napon pri kojem se formira kanal

$\lambda_n$  – parametar koji pokazuje modifikaciju dužine kanala u zavisnosti od napona između drejna i sors – jedinica  $\frac{1}{V}$

$$k_n = \mu_n C_{oxn} \frac{W_n}{L_n}$$

$W_n$  – širina kanala

$L_n$  – dužina kanala

$\mu_n$  – pokretljivost nosilaca koja redstavlja vezu između brzine nosilaca i polja koje deluje na njih  $v = \mu E$  - jedinica  $\frac{m^2}{Vs}$

$C_{oxn}$  – normalizovana, po površini, kapacitivnost gejta – jedinica  $\frac{F}{m^2}$

$k_n$  – jedinica  $\frac{A}{V^2}$

Uočiti da su jednačine napisane tako da svi parametri imaju dodatni indeks n, na šta možda niste navikli. Međutim naša kola će sadržati i n kanalne i p kanalne tranzistore tako da ćemo se mi držati ove notacije. I da se podsetimo pokretljivost elektrona  $\mu_n$  (nosioci u n kanalnom tranzistoru) je znatno veća od pokretljivosti šupljina  $\mu_p$  (nosioci u p kanalnom tranzistoru).

U velikom broju slučajeva ćemo smatrati da je  $\lambda_n = \lambda_p = 0$  odnosno zanemarićemo uticaj modulacije dužine kanala sa promenom napona između drejna i sorsa. Međutim ako niste već do sada uočili modeli zavisnosti napona i struja između triodne i oblasti zasićenja pri

$$V_{DSn} = V_{GSn} - V_{Tn}$$

imaju diskontinuitet

$$I_{Dn} = \frac{k_n}{2} (V_{GSn} - V_{Tn})^2 (1 + \lambda_n V_{DSn}) = \frac{k_n}{2} (V_{DSn})^2 (1 + \lambda_n V_{DSn})$$

$$I_{Dn} = \frac{k_n}{2} (2V_{DSn}(V_{GSn} - V_{Tn}) - V_{DSn}^2) = \frac{k_n}{2} (V_{DSn}^2)$$

A trebala bi ova dva izraza da daju isti rezultat. Ovo je posledica nesavršenosti modela, slično kao i kod naših „grubih“ modela kod bipolarnih tranzistora. Zbog toga ćete sresti i drugačije modele, na primer neki autori predlažu modifikaciju zavisnosti struje u zasićenju

$$I_{Dn} = \frac{k_n}{2} (V_{GSn} - V_{Tn})^2 (1 + \lambda_n (V_{DSn} - (V_{GSn} - V_T)))$$

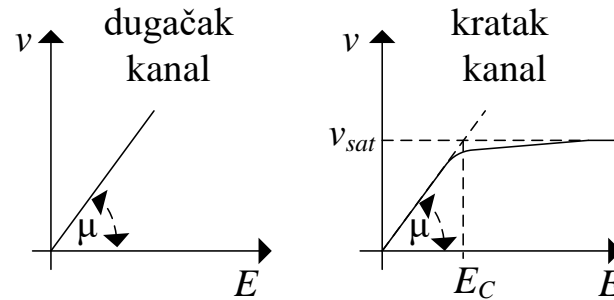
dok se na primer u modelu za SPICE programski paket modifikuje struja u triodnoj oblasti na isti način kao što je u zasićenju

$$I_{Dn} = \frac{k_n}{2} (2V_{DSn}(V_{GSn} - V_{Tn}) - V_{DSn}^2) (1 + \lambda_n V_{DSn})$$

Mi ćemo „živeti“ sa ovim diskontinuitetom, odnosno koristićemo one nemodifikovane izraze, znajući da ovako nešto postoji.

Ovi izrazi, odnosno model je pokazivao dobre rezultate kada su dimenzije tranzistora bile velike reda  $\mu m$ . Međutim prilikom eksperimenata sa tranzistorima čije su dimenzije manje i reda  $nm$  pojavio se efekata da tranzistor po gledajući izlazne karakteristike ulazi „ranije“ u oblast zasićenja odnosno pri manjim naponima  $V_{DS}$ .

Uočeno je da pri „velikim“ poljima u kanalu dolazi do zasićenja brzine nosilaca, što efektivno ima uticaj da tranzistor „ranije“ uđe u režim zasićenja.



Ponašanje brzine nosilaca kod tranzistora sa kratkim kanalom aproksimativno može da se prikaže:

$$v_n = \mu_n \frac{E}{1 + \frac{E}{E_{Cn}}} \quad \text{za } E \leq E_{Cn}$$

$$v_n = v_{nsat} \quad \text{za } E \geq E_{Cn}$$

gde je  $E$  polje koje deluje na nosioce,  $E_{Cn}$  kritično polje pri kojem nastaje efekat zasićenja brzine nosilaca a  $v_{nsat} = \frac{\mu_n E_{Cn}}{2}$ .

Na sličan način kako je izvedeno za nMOS FET tranzistor sa dugim kanalom izvodi se da je u tom slučaju kada tranzistor radi u triodnoj oblasti struja data izrazom

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{DSn}}{L_n E_{Cn}}} (2V_{DSn}(V_{GSn} - V_{Tn}) - V_{DSn}^2)$$

Da vas podsetim. Izraze za nMOS FET tranzistore ste izvodili tako što ste izveli izraz za struju drejna kada radi u triodnoj, omskoj, oblasti. A onda ste rekli, da to važi dok je kanal takav kakav je, odnosno dok je  $V_{DSn} < V_{GSn} - V_{Tn}$ . Kada postane  $V_{DSn} = V_{GSn} - V_{Tn}$  tada je  $V_{DGn} = V_{Tn}$  i kanal nestaje kod drejna, njegova „debljina“ je jednaka nuli, „uštinuće“ kanala (pinch-off). Ako napon  $V_{DSn}$  i dalje raste taj deo kanala se udaljava od drejna, a napon na kanalu ostaje konstantan  $V_{channel} = V_{GSn} - V_{Tn}$ . Zbog toga i struja postaje konstantna, odnosno tranzistor odlazi u zasićenje i zamenom  $V_{DSn} = V_{GSn} - V_{Tn}$  u izraz za triodnu oblast ste dobili kako izgleda struja kada tranzistor radi u zasićenju. Slično ćemo raditi i sada, razlika je što ćemo smatrati da pre nego što je nastupilo „uštinuće“ kanala, nastupa zasićenje struje zbog zasićenja brzine nosilaca.

Kao što se vidi „stari“ izraz je modifikovan članom  $\frac{1}{1 + \frac{V_{DS}}{L_n E_{Cn}}}$  i kada je  $L_n$  veliko ili  $V_{DS}$  malo

izraz se svodi na „stari“ izraz. Ovakva zanemarivanja ćemo često raditi pogotovo što nas i interesuju krajnji režimi.

Međutim kako je ranije nastupilo zasićenje zbog zasićenja brzine nosilaca, struja drejna u zasićenju je

$$I_{Dn} = W_n C_{OXn} (V_{GSn} - V_{Tn} - V_{DSn}) v_{nsat}$$

(„ukupna količina nosilaca“ u kanalu koja se kreće brzinom  $v_{sat}$ )

Izjednačavanjem ove dve struje, da bi videli pri kojem naponu  $V_{DS}$  dolazi do zasićenja brzine nosilaca dobija se:

$$V_{DSnsat} = \frac{(V_{GSn} - V_{Tn}) L_n E_{Cn}}{(V_{GSn} - V_{Tn}) + L_n E_{Cn}}$$

i za tranzistor sa kratkim kanalom je ovo uslov za prelazak iz triodne u oblast zasićenja

$$V_{DSn} \geq \frac{(V_{GSn} - V_{Tn})}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} \quad \text{zasićenje}$$

$$V_{DSn} \leq \frac{(V_{GSn} - V_{Tn})}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} \quad \text{triodna}$$

Da vidimo šta se dešava kada je na primer  $V_{DS}$  na granici režima rada:

$$V_{DSn} = \frac{(V_{GSn} - V_{Tn}) L_n E_{Cn}}{(V_{GSn} - V_{Tn}) + L_n E_{Cn}} = \frac{(V_{GSn} - V_{Tn})}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}}$$

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{DSn}}{L_n E_{Cn}}} (2V_{DSn}(V_{GSn} - V_{Tn}) - V_{DSn}^2) = \frac{k_n}{2} \frac{1}{\frac{1}{V_{DSn}} + \frac{1}{L_n E_{Cn}}} (2(V_{GSn} - V_{Tn}) - V_{DSn})$$

$$I_{Dn} = \frac{k_n}{2} \frac{1}{\frac{1}{\frac{(V_{GSn} - V_{Tn}) L_n E_{Cn}}{(V_{GSn} - V_{Tn}) + L_n E_{Cn}}} + \frac{1}{L_n E_{Cn}}} \left( 2(V_{GSn} - V_{Tn}) - \frac{(V_{GSn} - V_{Tn}) L_n E_{Cn}}{(V_{GSn} - V_{Tn}) + L_n E_{Cn}} \right)$$

$$I_{Dn} = \frac{k_n}{2} \frac{1}{\frac{(V_{GSn} - V_{Tn}) + L_n E_{Cn}}{(V_{GSn} - V_{Tn}) L_n E_{Cn}} + \frac{1}{L_n E_{Cn}}} (V_{GSn} - V_{Tn}) \left( 2 - \frac{L_n E_{Cn}}{(V_{GSn} - V_{Tn}) + L_n E_{Cn}} \right)$$

$$I_{Dn} = \frac{k_n}{2} \frac{1}{\frac{2(V_{GSn} - V_{Tn}) + L_n E_{Cn}}{(V_{GSn} - V_{Tn}) L_n E_{Cn}}} (V_{GSn} - V_{Tn}) \left( \frac{2(V_{GSn} - V_{Tn}) + L_n E_{Cn}}{(V_{GSn} - V_{Tn}) + L_n E_{Cn}} \right)$$

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} (V_{GSn} - V_{Tn})^2$$

Struja ne zavisi od napona  $V_{DS}$  došlo je do zasićenja, „isti“ izraz kao i za tranzistor sa dugim kanalom, modifikovan za odgovarajući član. Namerno je pisano ovako postepeno da vidite da se ne treba bojati ni ovakvih izvođenja.

Međutim ovaj izraz ćemo često pisati i malo drugačijem obliku zamenjujući napon zasićenja u jednačinu za struju u zasićenju

$$I_{Dn} = W_n C_{OXn} (V_{GSn} - V_{Tn} - V_{DSn}) v_{nsat}$$

$$I_{Dn} = W_n C_{OXn} \left( V_{GSn} - V_{Tn} - \frac{(V_{GSn} - V_{Tn}) L_n E_{Cn}}{(V_{GSn} - V_{Tn}) + L_n E_{Cn}} \right) v_{nsat}$$

$$I_{Dn} = W_n C_{OXn} v_{satn} \frac{(V_{GSn} - V_{Tn})^2}{(V_{GSn} - V_{Tn}) + L_n E_{Cn}}$$

Pogotovo kada budemo izjednačavali struje p i n kanalnih tranzistora, pošto je maksimalna brzina elektrona i šupljina jednaka  $v_{nsat} = v_{psat} = v_{sat} \approx 8 \times 10^4 \frac{m}{s}$ . Izrazi su „identični“ pošto je  $v_{nsat} = \frac{\mu_n E_{Cn}}{2}$ .

Na prvi pogled može da se postavi pitanje a zašto u izrazu

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{DSn}}{L_n E_{Cn}}} (2V_{DSn}(V_{GSn} - V_{Tn}) - V_{DSn}^2)$$

nismo zamenili

$$V_{DSn_{sat}} = (V_{GSn} - V_{Tn})$$

kao „staru“ granicu kod nMOS FET tranzistora sa dugim kanalom, pošto bi direktno zamenjujući dobili isti izraz

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} (V_{GSn} - V_{Tn})^2$$

I mora da se dobije isti izraz pošto ovi izrazi moraju da važe i za tranzistore sa dugim i za tranzistore sa kratkim kanalom. Jedino kod tranzistora sa dugim kanalom „ne moramo“ da obraćamo pažnju na ovaj efekat. A kada je  $L_n$  veliko

$$V_{DSn_{sat}} = \frac{(V_{GSn} - V_{Tn}) L_n E_{Cn}}{(V_{GSn} - V_{Tn}) + L_n E_{Cn}} \rightarrow V_{DSn_{sat}} = (V_{GSn} - V_{Tn})$$

kao kod „starih“ izraza.

Znači moramo jedino voditi računa da li dolazi do zasićenja brzine nosilaca odnosno voditi računa o uslovima zasićenja tranzistora

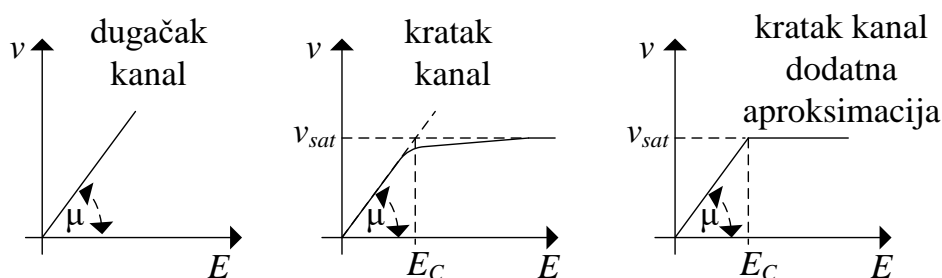
$$V_{DSn} \geq \frac{(V_{GSn} - V_{Tn})}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} \quad \text{zasićenje}$$

$$V_{DSn} \leq \frac{(V_{GSn} - V_{Tn})}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} \quad \text{triodna}$$

U literaturi se sreće zbog toga još jedna aproksimacija za struju tranzistora u zasićenju kada je napon  $(V_{GSn} - V_{Tn})$  velik odnosno  $(V_{GSn} - V_{Tn}) \gg L_n E_{Cn}$ . Uz još jednu dodatnu aproksimaciju

$$v_n = \mu_n E \quad \text{za } E \leq E_{Cn}$$

$$v_n = v_{nsat} \quad \text{za } E \geq E_{Cn}$$



odnosno da pokretljivost naglo pada na nulu za  $E \geq E_{Cn}$ . Tada je napon

i polazeći od osnovnog izraza za tranzistor sa dugim kanalom (opravdanje je da nije nastupilo zasićenje linerana je zavisnost polja i brzine) koji radi u triodnoj oblasti

$$V_{DSnsat} = L_n E_{Cn} = L_n \frac{v_{nsat}}{\mu_n}$$

$$I_{Dn} = \mu_n C_{oxn} \frac{W_n}{L_n} \left( V_{DSn} (V_{GSn} - V_{Tn}) - \frac{V_{DSn}^2}{2} \right)$$

$$I_{Dn} = \mu_n C_{oxn} \frac{W_n}{L_n} V_{DSnsat} \left( V_{GSn} - V_{Tn} - \frac{V_{DSnsat}}{2} \right)$$

$$I_{Dn} = W_n C_{oxn} v_{nsat} \left( V_{GSn} - V_{Tn} - \frac{V_{DSnsat}}{2} \right)$$

Uočite da su sve ovo „približni“ izrazi za „ručnu“ analizu. I u tom smislu koristićemo na odgovarajućim mestima ono što nam je u tom trenutku „najzgodnije“.

## Model MOS FET tranzistora sa dugačkim kanalom

### n kanalni MOS FET tranzistor sa dugačkim kanalom

$$I_{Gn} = 0$$

$$I_{Dn} = I_{Sn} \geq 0 \quad \text{za} \quad V_{GSn} \geq V_{Tn} \quad (V_{Tn} > 0)$$

$$V_{DSn\text{sat}} = V_{GSn} - V_{Tn}$$

Tranzistor vodi u triodnoj, omskoj, neaktivnoj oblasti, kada je

$$V_{DSn} \leq V_{DSn\text{sat}}$$

i tada je njegova struja data izrazom

$$I_{Dn} = \frac{k_n}{2} (2V_{DSn}(V_{GSn} - V_{Tn}) - V_{DSn}^2)$$

Tranzistor vodi u zasićenju kada je

$$V_{DSn} \geq V_{DSn\text{sat}}$$

i tada je njegova struja data izrazom

$$I_{Dn} = \frac{k_n}{2} (V_{GSn} - V_{Tn})^2 (1 + \lambda_n V_{DSn})$$

$$\lambda_n > 0$$

Za n kanalni MOS FET sa ugrađenim kanalom važe potpuno iste jednačine, osim što kanal već postoji pre  $V_{GS}=0$ , odnosno tranzistor vodi

$$V_{GSn} \geq V_{Tn} \quad (V_{Tn} < 0)$$

pa u ovom slučaju  $V_{Tn}$  može da se shvati kao napon pri kojem kanal nestaje.



## p kanalni MOS FET tranzistor sa dugačkim kanalom

Referentni smer struje drejna – struja drejna IZLAZI iz drejna.

Moguća su dva izbora pisanja jednačina, kako Vam je zgodnije:

**Prvi način pisanja** – isti referentni smerovi ali znajući da svi naponi moraju da budu negativni

$$I_{Gp} = 0$$

$$I_{Dp} = I_{Sp} \geq 0 \quad \text{za} \quad V_{GSp} \leq V_{Tp} \quad (V_{Tp} < 0)$$

$$V_{DSpsat} = V_{GSp} - V_{Tp}$$

Tranzistor vodi u triodnoj, omskoj, neaktivnoj oblasti, kada je

$$V_{DSp} \geq V_{DSpsat}$$

i tada je njegova struja data izrazom

$$I_{Dp} = \frac{k_p}{2} (2V_{DSp}(V_{GSp} - V_{Tp}) - V_{DSp}^2)$$

Tranzistor vodi u zasićenju kada je

$$V_{DSp} \leq V_{DSpsat}$$

i tada je njegova struja data izrazom

$$I_{Dp} = \frac{k_p}{2} (V_{GSp} - V_{Tp})^2 (1 + \lambda_p V_{DSp})$$

$$\lambda_p < 0$$

Za p kanalni MOS FET sa ugrađenim kanalom važe potpuno iste jednačine, osim što kanal već postoji pre  $V_{GS}=0$ , odnosno tranzistor vodi

$$V_{GSp} \leq V_{Tp} \quad (V_{Tp} > 0)$$

pa u ovom slučaju  $V_{Tp}$  može da se shvati kao napon pri kojem kanal nestaje.

Pri ovom načinu pisanja morate biti oprezni kada se oslobodate „kvadrata“ prilikom nekih izvođenja izraza. Na primer u struji zasićenja  $(V_{GSp} - V_{Tp}) < 0$ .

**Drugi način pisanja** – promena referentnog smera napona tako da svi naponi moraju da budu pozitivni

$$I_{Gp} = 0$$

$$I_{Dp} = I_{Sp} \geq 0 \quad \text{za} \quad V_{SGp} \geq V_{Tp} \quad (V_{Tp} > 0)$$

$$V_{SDpsat} = V_{SGp} - V_{Tp}$$

Tranzistor vodi u triodnoj, omskoj, neaktivnoj oblasti, kada je

$$V_{SDp} \leq V_{SDpsat}$$

i tada je njegova struja data izrazom

$$I_{Dp} = \frac{k_p}{2} (2V_{SDp}(V_{SGp} - V_{Tp}) - V_{SDp}^2)$$

Tranzistor vodi u zasićenju kada je

$$V_{SDp} \leq V_{SDpsat}$$

i tada je njegova struja data izrazom

$$I_{Dp} = \frac{k_p}{2} (V_{SGp} - V_{Tp})^2 (1 + \lambda_p V_{SDp})$$

$$\lambda_p > 0$$

Za p kanalni MOS FET sa ugrađenim kanalom važe potpuno iste jednačine, osim što kanal već postoji pre  $V_{SG}=0$ , odnosno tranzistor vodi

$$V_{SGp} \leq V_{Tp} \quad (V_{Tp} < 0)$$

pa u ovom slučaju  $V_{Tp}$  može da se shvati kao napon pri kojem kanal nestaje.

**n kanalni MOS FET tranzistor sa kratkim kanalom**

$$I_{Gn} = 0$$

$$I_{Dn} = I_{Sn} \geq 0 \quad \text{za} \quad V_{GSn} \geq V_{Tn} \quad (V_{Tn} > 0)$$

$$V_{DSnsat} = \frac{(V_{GSn} - V_{Tn})}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} = \frac{(V_{GSn} - V_{Tn})L_n E_{Cn}}{L_n E_{Cn} + (V_{GSn} - V_{Tn})} \quad (E_{Cn} > 0)$$

Tranzistor vodi u triodnoj, omskoj, neaktivnoj oblasti, kada je

$$V_{DSn} \leq V_{DSnsat}$$

i tada je njegova struja data izrazom

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{DSn}}{L_n E_{Cn}}} (2V_{DSn}(V_{GSn} - V_{Tn}) - V_{DSn}^2)$$

Tranzistor vodi u zasićenju kada je

$$V_{DSn} \geq V_{DSnsat}$$

i tada je njegova struja data izrazom

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} (V_{GSn} - V_{Tn})^2 (1 + \lambda_n V_{DSn})$$

ili

$$I_{Dn} = W_n C_{oxn} v_{nsat} \frac{(V_{GSn} - V_{Tn})^2}{(V_{GSn} - V_{Tn}) + L_n E_{Cn}} (1 + \lambda_n V_{DSn})$$

$$\lambda_n > 0 \quad \text{i} \quad v_{nsat} = \frac{\mu_n E_{Cn}}{2}$$

U slučaju  $(V_{GSn} - V_{Tn}) \gg L_n E_{Cn}$

$$V_{DSnsat} = L_n E_{Cn} \quad \text{i} \quad v_{nsat} = \mu_n E_{Cn}$$

$$I_{Dn} = W_n C_{oxn} v_{nsat} \left( V_{GSn} - V_{Tn} - \frac{V_{DSnsat}}{2} \right)$$

Šta nam bude zgodnije.

Za n kanalni MOS FET sa ugrađenim kanalom važe potpuno iste jednačine, osim što kanal već postoji pre  $V_{GS}=0$ , odnosno tranzistor vodi

$$V_{GSn} \geq V_{Tn} \quad (V_{Tn} < 0)$$

pa u ovom slučaju  $V_{Tn}$  može da se shvati kao napon pri kojem kanal nestaje.

**p kanalni MOS FET tranzistor sa kratkim kanalom****Prvi način pisanja**

$$I_{Gp} = 0$$

$$I_{Dp} = I_{Sp} \geq 0 \quad \text{za} \quad V_{GSp} \leq V_{Tsp} \quad (V_{Tsp} < 0)$$

$$V_{DSpsat} = \frac{(V_{GSp} - V_{Tsp})}{1 + \frac{(V_{GSp} - V_{Tsp})}{L_p E_{Cp}}} = \frac{(V_{GSp} - V_{Tsp}) L_p E_{Cp}}{L_p E_{Cp} + (V_{GSp} - V_{Tsp})} \quad (E_{Cp} < 0)$$

Tranzistor vodi u triodnoj, omskoj, neaktivnoj oblasti, kada je

$$V_{DSp} \geq V_{DSpsat}$$

i tada je njegova struja data izrazom

$$I_{Dp} = \frac{k_p}{2} \frac{1}{1 + \frac{V_{DSp}}{L_p E_{Cp}}} (2V_{DSp}(V_{GSp} - V_{Tsp}) - V_{DSp}^2)$$

Tranzistor vodi u zasićenju kada je

$$V_{DSp} \leq V_{DSpsat}$$

i tada je njegova struja data izrazom

$$I_{Dp} = \frac{k_p}{2} \frac{1}{1 + \frac{(V_{GSp} - V_{Tsp})}{L_p E_{Cp}}} (V_{GSp} - V_{Tsp})^2 (1 + \lambda_p V_{DSp})$$

ili

$$I_{Dp} = W_p C_{Oxp} v_{satp} \frac{(V_{GSp} - V_{Tsp})^2}{(V_{GSp} - V_{Tsp}) + L_p E_{Cp}} (1 + \lambda_p V_{DSp})$$

$$\lambda_p < 0 \quad \text{i} \quad v_{psat} = \frac{\mu_p E_{Cp}}{2} < 0$$

U slučaju  $|V_{GSp} - V_{Tsp}| \gg |L_p E_{Cp}|$

$$V_{DSpsat} = L_p E_{Cp} \quad \text{i} \quad v_{psat} = \mu_p E_{Cp}$$

$$I_{Dn} = W_p C_{Oxp} v_{psat} \left( V_{GSp} - V_{Tsp} - \frac{V_{DSpsat}}{2} \right)$$

Šta nam bude zgodnije.

Za p kanalni MOS FET sa ugrađenim kanalom važe potpuno iste jednačine, osim što kanal već postoji pre  $V_{GS}=0$ , odnosno tranzistor vodi

$$V_{GS} \leq V_{Tp} \quad (V_{Tp} > 0)$$

pa u ovom slučaju  $V_{Tp}$  može da se shvati kao napon pri kojem kanal nestaje.

Pri ovom načinu pisanja morate biti oprezni kada se oslobodite „kvadrata“ prilikom nekih izvođenja izraza. Na primer u struji zasićenja  $(V_{GS} - V_{Tp}) < 0$ .

### Drugi način pisanja

$$I_{Gp} = 0$$

$$I_{Dp} = I_{Sp} \geq 0 \quad \text{za } V_{SGp} \leq V_{Tp} \quad (V_{Tp} > 0)$$

$$V_{SDpsat} = \frac{(V_{SGp} - V_{Tp})}{1 + \frac{(V_{SGp} - V_{Tp})}{L_p E_{Cp}}} = \frac{(V_{SGp} - V_{Tp}) L_p E_{Cp}}{L_p E_{Cp} + (V_{SGp} - V_{Tp})} \quad (E_{Cp} > 0)$$

Tranzistor vodi u triodnoj, omskoj, neaktivnoj oblasti, kada je

$$V_{Dsp} \leq V_{SDpsat}$$

i tada je njegova struja data izrazom

$$I_{Dp} = \frac{k_p}{2} \frac{1}{1 + \frac{V_{SDp}}{L_p E_{Cp}}} (2V_{SDp}(V_{SGp} - V_{Tp}) - V_{SDp}^2)$$

Tranzistor vodi u zasićenju kada je

$$V_{SDp} \geq V_{SDpsat}$$

i tada je njegova struja data izrazom

$$I_{Dp} = \frac{k_p}{2} \frac{1}{1 + \frac{(V_{SGp} - V_{Tp})}{L_p E_{Cp}}} (V_{SGp} - V_{Tp})^2 (1 + \lambda_p V_{SDp})$$

ili

$$I_{Dp} = W_p C_{Oxp} v_{satp} \frac{(V_{SGp} - V_{Tp})^2}{(V_{SGp} - V_{Tp}) + L_p E_{Cp}} (1 + \lambda_p V_{SDp})$$

$$\lambda_p > 0 \quad \text{i} \quad v_{satp} = \frac{\mu_p E_{Cp}}{2} > 0$$

U slučaju  $(V_{GSp} - V_{Tp}) \gg L_p E_{Cp}$

$$V_{DSpsat} = L_p E_{Cp} \text{ i } v_{satp} = \mu_p E_{Cp}$$

$$I_{Dp} = W_p C_{oxp} v_{satp} \left( V_{SGp} + V_{Tp} + \frac{V_{SDpsat}}{2} \right)$$

Šta nam bude zgodnije.

Za p kanalni MOS FET sa ugrađenim kanalom važe potpuno iste jednačine, osim što kanal već postoji pre  $V_{SG}=0$ , odnosno tranzistor vodi

$$V_{SGp} \geq V_{Tp} \quad (V_{Tp} < 0)$$

pa u ovom slučaju  $V_{Tp}$  može da se shvati kao napon pri kojem kanal nestaje.

## Standardni parametri MOS FET tranzistora

Za  $0.25\mu m$  proces, (pripada kratkom kanalu) što znači da je „minimalna dimenzija“ koja može da se ostvari  $L_n = 0.18\mu m$

$$\mu_n \approx 417 \frac{cm^2}{Vs}$$

$$\mu_p \approx 85 \frac{cm^2}{Vs}$$

$$V_{Tn} \approx 0.45V$$

$$V_{Tp} \approx -0.45V$$

$$k_{\lambda n} \approx 0.041 \frac{\mu m}{V}$$

$$k_{\lambda p} \approx -0.039 \frac{\mu m}{V}$$

### DIGRESIJA

Izraz za struju drejna se često piše i u ovom obliku, pošto parametar  $\lambda$  zavisi od dužine kanala

Na primer

$$I_{Dn} = \frac{k_n}{2} (V_{GSn} - V_{Tn})^2 \left( 1 + \frac{k_{\lambda n}}{L_n} V_{DSn} \right)$$

$$k_n \approx 351 \times 10^{-6} \frac{A}{V^2} \text{ uz } \frac{W_n}{L_n} = 1$$

$$k_p \approx 71 \times 10^{-6} \frac{A}{V^2} \text{ uz } \frac{W_p}{L_p} = 1$$

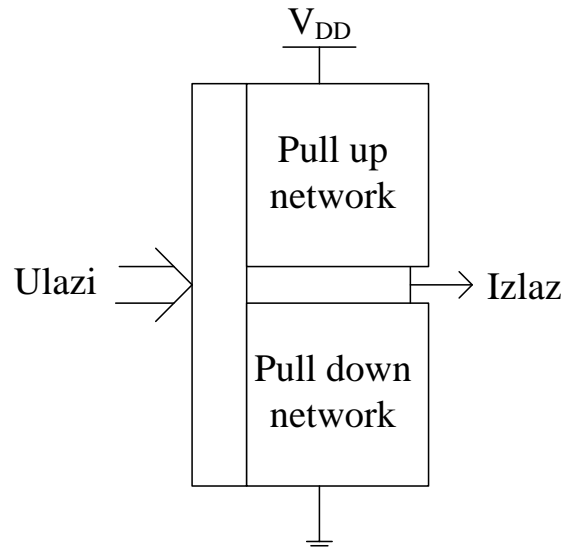
$$v_{nsat} = v_{psat} = v_{sat} \approx 8 \times 10^6 \frac{cm}{s}$$

$$E_{Cn} \approx 3.8 \times 10^4 \frac{V}{cm}$$

$$E_{Cp} \approx 18.8 \times 10^4 \frac{V}{cm}$$

## Logičke funkcije sa MOS FET tranzistorima

Ono što smo mogli da zaključimo iz dosadašnje analize logičkih kola jeste da će u opštem slučaju logičko kolo moći da se predstavi na sledeći način



gde je:

1. Pull up network (PUN) deo kola koji na izlazu obezbeđuje logičku jedinicu
2. Pull down network (PDN) deo kola koji na izlazu obezbeđuje logičku nulu

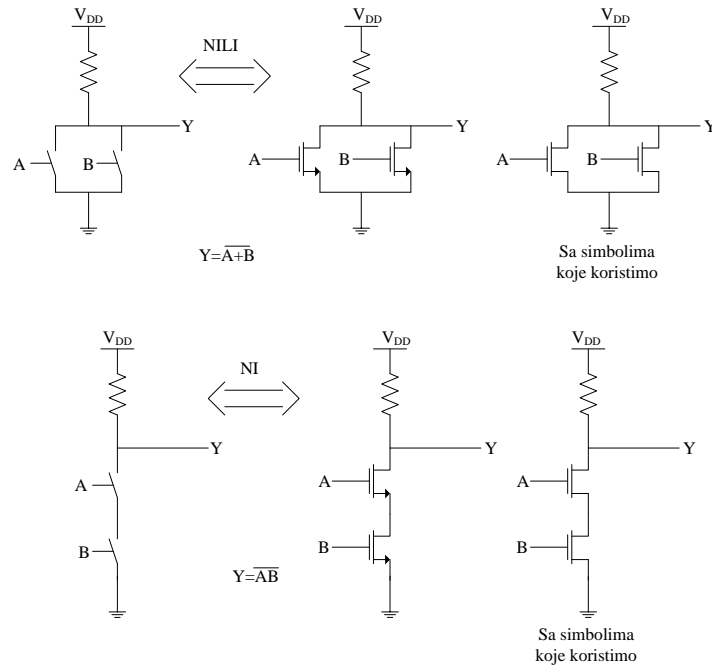
Cilj nam je bio da PUN i PDN budu komplementarne, odnosno da kada jedna radi druga je isključenja, pri čemu smo kod trostatičkih kola imali situaciju da obe mreže isključujemo. Radi podsećanja kola sa otvorenim kolektorom (sada će to biti kola sa otvorenim drejnom) imaju samo PDN mrežu.

Ako je PUN mreža realizovana samo sa otpornikom kao što smo imali slučaj takva kola smo nazivali i nazivaćemo kola sa pasivnim opterećenjem na izlazu. Ako je PUN mreža realizovana preko aktivnih elemenata, tranzistora, takva kola ćemo nazivati kolima sa aktivnim opterećenjem na izlazu (primer je totempol konfiguracija kod TTL logičkih kola).

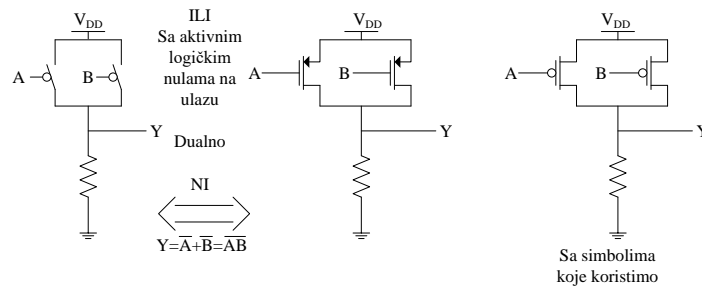
Kod logičkih kola sa MOS FET tranzistorima, za realizaciju ovih mreža, situacija je jednostavnija nego kod bipolarnih tranzistora. MOS FET tranzistori se mnogo lepše ponašaju kao prekidači nego bipolarni tranzistori u smislu rednog i paralelnog povezivanja. Kod bipolarnih tranzistora o rednom povezivanju nismo ni razmišljali a kod paralelnog povezivanja smo izbegli raspravu o podeli struje. Na primer kod paralelnog povezivanja bipolarnih tranzistora postoji problem kada jedan tranzistor „povuče“ više struje, pa će se više grejati, a time njegovo pojačanje raste, pa vuče još više struje, dok se proces ne završi tako da samo kroz jedan tranzistor teče struja. A o rednom vezivanju nismo ni razmišljali zbog problema uključenja redno povezanih tranzistora. MOS FET tranzistori ne boluju od ovakvih stvari, pošto nama treba da kada rade, rade u triodnoj oblasti gde se ponašaju kao otpornosti.



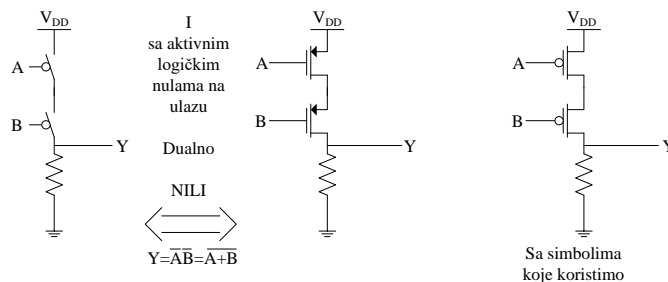
Za realizaciju PDN mreže po pravilu se koriste nMOS FET tranzistori koje možemo paralelno ili redno povezivati. Sors nMOS FET tranzistora se povezuje na niske potencijale. Bez ulaženja u detaljnu analizu koju ćemo obraditi kasnije standardno korišćenje je (u primerima su po dva tranzistora, normalno može ih biti više)



PUN mrežu ćemo realizovati na različite načine i kao pasivnu, i sa nMOS FET tranzistorima, ali u savremenim kolima često realizuje sa pMOS FET tranzistorima kod kojih se sors povezuje na visoke potencijale.

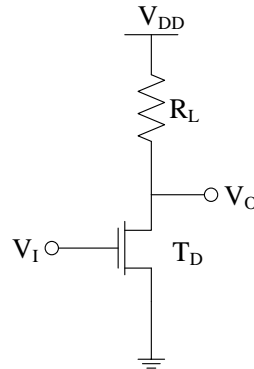


Uočiti da gejt pMOS FET tranzistora kada mu je sors na visokom potencijalu, mora biti na niskom potencijalu, na nivou logičke nule, da bi bio uključen. Zbog toga je i promenjen simbol prekidača, da se uključuje aktivnom logičkom nulom.



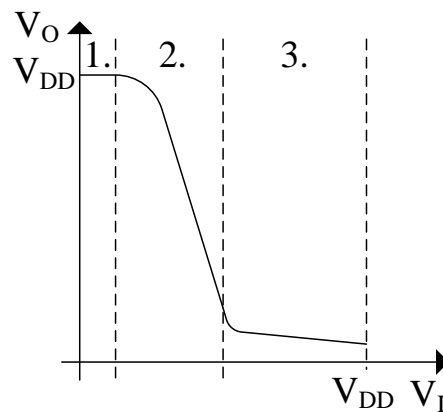
## Invertor u nMOS tehnologiji sa pasivnim opterećenjem na izlazu

Kao i u slučaju logičkih kola sa bipolarnim tranzistorima, mogući predstavnik za logičko kolo, invertor, jeste pojačavač sa zajedničkim sorsom



Na identičan način ćemo crtati karakteristiku prenosa menjajući ulazni napon od 0 do  $V_{DD}$ .

Karakteristika prenosa



će imati jasno izražene tri oblasti.

U prvoj oblasti

$$V_I = V_{GS1} < V_{Tn}$$

i tranzistor ne  $T_D$  (D – drive) vodi. Napon na izlazu

$$V_O = V_{DD} - R_L I_{RL} = V_{DD} - R_L I_{D1n} = V_{DD}$$

Kada ulazni napon postane jednak  $V_{Tn}$  tranzistor počinje da vodi ali sa malom strujom. Zbog toga ne dolazi do velikog pada napona na otporniku  $R_L$  (L – load) odnosno napon između drejna i sorsa tranzistora će i dalje biti visok.

$$V_{DSn} > V_{DSnsat}$$

$$V_{DSnsat} = \frac{(V_{GSn} - V_{Tn})L_n E_{Cn}}{L_n E_{Cn} + (V_{GSn} - V_{Tn})} = \frac{(V_{Tn} + \varepsilon - V_{Tn})L_n E_{Cn}}{L_n E_{Cn} + (V_{Tn} + \varepsilon - V_{Tn})} \approx \varepsilon$$

pri čemu je  $\varepsilon$  mala vrednost napona, odnosno za koliko je ulazni napon veći od  $V_{Tn}$ . Tranzistor vodi u zasićenju.

Tada je izlazni napon

$$V_O = V_{DD} - R_L I_{RL} = V_{DD} - R_L I_{DnD} < V_{DD}$$

Ono što je uobičajeno kod analize statičkih karakteristika logičkih kola sa MOS FET tranzistorima je da se ne insistira da uvek izrazi za izlazni napon budu napisani u eksplicitnom obliku, odnosno

$$V_O = f(V_I)$$

Zbog kvadratnih zavisnosti ovu relaciju je često dosta teško izvesti, a videćemo i da nema potrebe, na primer za određivanje karakterističnih tačaka.

Po pravilu se ova zavisnost ostavlja u obliku izjednačavanja struja PUN i PDN mreže

$$I_{PUN} = I_{PDN}$$

(ne zaboravite analiziramo neopterećeno logičko kolo).

U tom slučaju Kada tranzistor radi u drugoj oblasti, odnosno u zasićenju je važi

$$\frac{V_{DD} - V_O}{R_L} = I_{DnD} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS1} - V_{Tn})}{L_n E_{Cn}}} (V_{GS1} - V_{Tn})^2 (1 + \lambda_n V_{DS1})$$

U analizama statičkih karakteristika ćemo zanemariti uticaj promene efektivne dužine kanala, odnosno smatraćemo da je  $\lambda_n \approx 0$ , pa izraz uz  $V_{GS1} = V_I$  postaje

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$

Vidi se da je zavisnost „iskrivljena obrnuta ( $y=-x^2 \dots$ )“ parabola, pri čemu je maksimum u  $V_I = V_{Tn}$ .

Kako ulazni napon raste u jednom trenutku će dovoljno pasti napon između drejna i sorsa tranzistora, odnosno izlazni napon tako da tranzistor izlazi iz zasićenja. To se dešava kada je

$$V_O = \frac{(V_I - V_{Tn})L_n E_{Cn}}{L_n E_{Cn} + (V_I - V_{Tn})} = \frac{(V_I - V_{Tn})}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}}$$

pri čemu ćemo videti da nas ova brojna vrednost baš i ne interesuje.

## DIGRESIJA

Mogli bi da je dobijemo ako rešimo izraz

$$\frac{V_{DD} - \frac{(V_I - V_{Tn})L_n E_{Cn}}{R_L}}{R_L} = \frac{k_n}{2} \frac{L_n E_{Cn}}{L_n E_{Cn} + (V_I - V_{Tn})} (V_I - V_{Tn})^2$$

$$\frac{V_{DD}(L_n E_{Cn} + (V_I - V_{Tn})) - (V_I - V_{Tn})L_n E_{Cn}}{R_L} = \frac{k_n}{2} L_n E_{Cn} (V_I - V_{Tn})^2$$

$$\frac{k_n}{2} L_n E_{Cn} (V_I - V_{Tn})^2 - \frac{V_{DD} - L_n E_{Cn}}{R_L} (V_I - V_{Tn}) - \frac{V_{DD} L_n E_{Cn}}{R_L} = 0$$

$$(V_I - V_{Tn})^2 - 2 \frac{V_{DD} - L_n E_{Cn}}{B_n L_n E_{Cn} R_L} (V_I - V_{Tn}) - 2 \frac{V_{DD}}{B_n R_L} = 0$$

...

Zanimljivo može da bude šta se dešava u slučaju dugačkog kanal  $(V_I - V_{Tn}) \ll L_n E_{Cn}$

$$\frac{V_{DD} - (V_I - V_{Tn})}{R_L} = \frac{k_n}{2} (V_I - V_{Tn})^2$$

$$(V_I - V_{Tn})^2 + \frac{2}{k_n R_L} (V_I - V_{Tn}) - 2 \frac{V_{DD}}{k_n R_L} = 0$$

$$V_I = V_{Tn} + \frac{-\frac{2}{k_n R_L} \pm \sqrt{\left(\frac{2}{k_n R_L}\right)^2 + 8 \frac{V_{DD}}{k_n R_L}}}{2} = V_{Tn} + \frac{-1 \pm \sqrt{1 + 2k_n R_L V_{DD}}}{k_n R_L}$$

Smatrajući

$$2k_n R_L V_{DD} \gg 1$$

$$V_I = V_{Tn} + \sqrt{2 \frac{V_{DD}}{k_n R_L}}$$

Rešenje

$$V_I = V_{Tn} - \sqrt{2 \frac{V_{DD}}{k_n R_L}}$$

Nema smisla pošto tranzistor tada ne bi vodio i istovremeno pokazuje i da sa „ovim kvadratima“ treba biti oprezan.

Zašto je zanimljivo? Nešto što ste intuitivno mogli da osetite. Da bi uopšte dobili treću potrebnu oblast gde je tranzistor u neaktivnom režimu potrebno je da za opseg ulaznih napona od 0 do  $V_{DD}$  ova tačka koju smo našli bude manja od  $V_{DD}$ , odnosno

$$\left( V_{Tn} + \sqrt{2 \frac{V_{DD}}{k_n R_L}} \right) < V_{DD}$$

$$2 \frac{V_{DD}}{k_n R_L} < (V_{DD} - V_{Tn})^2$$

$$k_n R_L > 2 \frac{V_{DD}}{(V_{DD} - V_{Tn})^2}$$

To znači da pojačanje tranzistora  $k_n$  i opterećenje  $R_L$  ne možemo proizvoljno birati. Ovaj izraz se često piše u obliku

$$\frac{1}{k_n R_L} < \frac{(V_{DD} - V_{Tn})^2}{2V_{DD}}$$

što za velike napone napajanja  $V_{DD} \gg V_{Tn}$  daje

$$\frac{1}{k_n R_L} < \frac{V_{DD}}{2}$$

Druga situacija je kratak kanal  $(V_I - V_{Tn}) \sim L_n E_{Cn}$  i uzmimo da je pri ulaznom naponu kada tranzistor izlazi iz zasićenja  $1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}} = F$

$$\frac{V_{DD} - \frac{(V_I - V_{Tn})}{F}}{R_L} = \frac{k_n}{2F} (V_I - V_{Tn})^2$$

$$(V_I - V_{Tn})^2 + \frac{2}{k_n R_L} (V_I - V_{Tn}) - 2F \frac{V_{DD}}{k_n R_L} = 0$$

$$V_I = V_{Tn} + \frac{-\frac{2}{k_n R_L} \pm \sqrt{\left(\frac{2}{k_n R_L}\right)^2 + 8F \frac{V_{DD}}{k_n R_L}}}{2} = V_{Tn} + \frac{-1 \pm \sqrt{1 + 2F k_n R_L V_{DD}}}{k_n R_L}$$

Smatrajući

$$2F k_n R_L V_{DD} \gg 1$$

$$V_I = V_{Tn} + \sqrt{2F \frac{V_{DD}}{k_n R_L}}$$

Ne zaboravite  $F > 1$ , odakle se vidi da će tranzistor sa kratkim kanalom, kasnije, pri većim ulaznim naponima izlaziti iz zasićenja

I isto kao kod dugog kanala

$$\left( V_{Tn} + \sqrt{2F \frac{V_{DD}}{k_n R_L}} \right) < V_{DD}$$

$$2F \frac{V_{DD}}{k_n R_L} < (V_{DD} - V_{Tn})^2$$

$$k_n R_L > 2F \frac{V_{DD}}{(V_{DD} - V_{Tn})^2}$$

To znači da „pojačanje“ tranzistora  $k_n$  i opterećenje  $R_L$  ne možemo proizvoljno birati. Ovaj izraz se često piše u obliku

$$\frac{1}{k_n R_L} < \frac{(V_{DD} - V_{Tn})^2}{2F V_{DD}}$$

što za velike napone napajanja  $V_{DD} \gg V_{Tn}$  daje

$$\frac{1}{k_n R_L} < \frac{V_{DD}}{2F}$$

Kada ulazni napon još poraste tranzistor ulazi u triodnu oblast i tada je

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{V_O}{L_n E_{Cn}}} (2V_O(V_I - V_{Tn}) - V_O^2)$$

uz  $V_{DS1} = V_O$  i  $V_{GS1} = V_I$ . I dalje je to parabola ( $x=y^2 \dots$ ). Ovaj izraz važi za treću oblast na karakteristici prenosa. U prvoj i trećoj oblasti tranzistor je zakočen i u triodnoj oblasti, što znači da će to biti oblasti sa malim pojačanjima, dok u drugoj oblasti tranzistor radi u zasićenju, aktivnom režimu, sa velikim pojačanjima.

Na osnovu prethodne analize možemo odmah da kažemo da je

$$V_{OH} = V_{DD}$$

dok ćemo napon  $V_{OL}$  naći u trećoj oblasti zamenjujući  $V_I = V_{OH} = V_{DD}$

$$\frac{V_{DD} - V_{OL}}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{OL}}{L_n E_{Cn}}} (2V_{OL}(V_{DD} - V_{Tn}) - V_{OL}^2)$$

I sada ide nešto što vas zbunjuje. Možemo ovaj izraz „tačno“ rešiti. Kvadratna jednačina, Zanimarivanja, koja će nas često dovesti do izraza za tranzistor sa dugačkim kanalom pa i

dalje. Prvo: nas interesuje kvalitativna slika uz kvantitativnu podršku, da smo malo pogrešili. Drugo: ovo ćemo zaista često raditi ali će postojati prilike kada to ne smemo da radimo.

Prvo zanemarivanje je posledica da naše logičko kolo treba da radi sa naponom  $V_{OL} \approx 0$ , pa smemo smatrati da je  $V_{OL} \ll L_n E_{Cn}$  u režimi kada treba logičko kolo treba da postavi logičku nulu na izlazu.

$$\frac{V_{DD} - V_{OL}}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{OL}}{L_n E_{Cn}}} (2V_{OL}(V_{DD} - V_{Tn}) - V_{OL}^2) \approx \frac{k_n}{2} (2V_{OL}(V_{DD} - V_{Tn}) - V_{OL}^2)$$

i isto tako da su parametri takvi da je  $V_{DD} - V_{Tn} \gg V_{OL}$  pa je

$$\frac{V_{DD} - V_{OL}}{R_L} \approx \frac{k_n}{2} (2V_{OL}(V_{DD} - V_{Tn}) - V_{OL}^2) \approx \frac{k_n}{2} (2V_{OL}(V_{DD} - V_{Tn}))$$

Onda je

$$\frac{V_{DD}}{R_L} \approx V_{OL} \left( k_n (V_{DD} - V_{Tn}) + \frac{1}{R_L} \right)$$

$$V_{OL} \approx \frac{V_{DD}}{k_n R_L (V_{DD} - V_{Tn}) + 1}$$

Na primer za parametre koji su dati za  $0.18\mu m$  proces uz  $V_{DD} = 1.2V$  i  $R_L = 20k\Omega$  i  $\frac{W_n}{L_n} = 4$ , odnosno  $k_n \approx 4 \times 351 \times 10^{-6} \frac{A}{V^2} = 1404 \times 10^{-6} \frac{A}{V^2}$  i  $L_n = 0.18\mu m$  će biti  $V_{OL} \approx 0.05V$ . Bitno je da će taj napon na ulazu kola dati  $V_{OH}$ , pošto je niži od  $V_{Tn}$ , odnosno da imamo očuvanje naponskih nivoa.

Kako je  $E_{Cn} L_n = 0.68V > 0.05V = V_{OL}$  „imali smo pravo“ (u principu odnos od oko najmanje 5 puta, ovdje je 14) da u kvalitativnoj analizi uradimo prvo zanemarivanje.

Isto tako  $(V_{OL})^2 = (0.05V)^2 \ll 2V_{OL}(V_{DD} - V_{Tn}) = 2(0.05V)(0.75V)$  pa smo smeli da uradimo i drugo zanemarivanje.

Za određivanje  $V_{IL}$  i  $V_{IH}$  situacija nije tako vidljiva kao kod logičkih kola sa bipolarnim tranzistorima. Ovde ćemo to morati da uradimo preko definicije. Da nađemo tačke u kojima je pojačanje po apsolutnoj vrednosti jednako 1.

$V_{IL}$  će se naći očigledno u drugoj oblasti za koju važi

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$

Gledajući kako se ponaša tranzistor za  $V_I = V_{Tn} + \varepsilon$  možemo zaključiti da će on i za malo  $\varepsilon$  ući u režim velikih poćanja odnosno da će  $(V_{IL} - V_{Tn}) \ll L_n E_{Cn}$ , pa taj član možemo zanemariti.

Za određivanje  $V_{IL}$

$$\frac{V_{DD} - V_O}{R_L} \approx \frac{k_n}{2} (V_I - V_{Tn})^2$$

Zbog čega smo rekli da ostavljamo zavisnosti ulaznih i izlaznih napona u ovom obliku. Zato što nam je sada „lako“ da diferenciramo i levu i desnu stranu po  $V_I$

$$\frac{V_{DD} - V_O}{R_L} \approx \frac{k_n}{2} (V_I - V_{Tn})^2 \quad \left| \frac{\partial}{\partial V_I} \right.$$

$$-\frac{1}{R_L} \frac{\partial V_O}{\partial V_I} \approx 2 \frac{k_n}{2} (V_I - V_{Tn})$$

pri čemu je

$$\frac{\partial V_O}{\partial V_I} = -1$$

$$\frac{1}{R_L} \approx k_n (V_I - V_{Tn})$$

$$V_{IL} \approx V_{Tn} + \frac{1}{k_n R_L}$$

i u našem primeru je

$$V_{IL} \approx 0.45V + 0.04V = 0.49V$$

Kako je  $L_n E_{Cn} = 0.68V$  sa  $0.04V$  možemo smatrati da je zanemarivanje koje smo uradili opravdano. Napon na izlazu  $V_{O(IL)}$  kada je na ulazu napon  $V_{IL}$  je

$$V_{O(IL)} \approx V_{DD} - \frac{1}{2k_n R_L B_n}$$

$V_{IH}$  će se naći očigledno u trećoj oblasti za koju važi

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{V_O}{L_n E_{Cn}}} (2V_O (V_I - V_{Tn}) - V_O^2)$$

Za očekivati je da će u tački  $V_{IH}$  izlazni napon biti nizak, odnosno da je  $V_O < L_n E_{Cn}$  pa opet taj član možemo zanemariti u određivanju  $V_{IH}$ .

$$\frac{V_{DD} - V_O}{R_L} \approx \frac{k_n}{2} (2V_O (V_I - V_{Tn}) - V_O^2)$$

$$\frac{V_{DD} - V_O}{R_L} \approx \frac{k_n}{2} (2V_O (V_I - V_{Tn}) - V_O^2) \quad \left| \frac{\partial}{\partial V_I} \right.$$



$$-\frac{1}{R_L} \frac{\partial V_O}{\partial V_I} \approx \frac{k_n}{2} \left( 2 \frac{\partial V_O}{\partial V_I} (V_I - V_{Tn}) + 2V_O - 2V_O \frac{\partial V_O}{\partial V_I} \right)$$

i uz

$$\frac{\partial V_O}{\partial V_I} = -1$$

$$\frac{1}{R_L} \approx \frac{k_n}{2} (-2(V_I - V_{Tn}) + 2V_O + 2V_O)$$

$$V_{IH} \approx 2V_{O(IH)} + V_{Tn} - \frac{1}{k_n R_L}$$

gde je sa  $V_{O(IH)}$  označen izlazni napon kada je na ulazu  $V_{IH}$ . Da bi našli pravu vrednost, imamo dve jednačine sa dve nepoznate. Ovu koju smo dobili, i izraz za karakteristiku prenosa u trećoj oblasti (sa zanemarenim članom)

$$\frac{V_{DD} - V_{O(IH)}}{R_L} \approx \frac{k_n}{2} (2V_{O(IH)}(V_{IH} - V_{Tn}) - V_{O(IH)}^2)$$

$$V_{IH} \approx 2V_{O(IH)} + V_{Tn} - \frac{1}{k_n R_L}$$

Rešavanjem ove dve jednačine dobija se

$$V_{O(IH)} \approx \sqrt{\frac{2V_{DD}}{3k_n R_L}}$$

$$V_{IH} \approx V_{Tn} + \sqrt{\frac{8V_{DD}}{3k_n R_L}} - \frac{1}{k_n R_L}$$

$$V_{IH} \approx 0.45V + 0.34V - 0.04V = 0.75V$$

Kako je  $E_{Cn}L_n = 0.68V$  i  $V_{O(IH)} \approx 0.17V$  vidimo da smo na granici zanemarivanja, ali da opet za kvalitativnu analizu nema razloga da se vraćamo unazad. Na ispitu

- Proverava održivosti naponskih nivoa, obavezno
- Računanje i provera margina šuma, obavezno
- Provera ovih zanemarivanja, ne treba.

Ono što mora da se proveriti i što mora da bude zbog održivosti naponskih nivoa jeste  $V_{OL} < V_{Tn}$  da bi taj napon dao napon logičke jedinice. Kako je napon logičke jedinice  $V_{DD}$  po

načinu kako smo radili on sigurno daje logičku nulu, i tu postoji održivost naponskih nivoa. Znači trebalo bi izabrati parametre tako da

$$\frac{V_{DD}}{k_n R_L (V_{DD} - V_{Tn}) + 1} < V_{Tn}$$

Ali isto tako  $V_{O(IH)} < V_{IL}$  a bilo bi jako dobro da  $V_{O(IH)} < V_{Tn}$

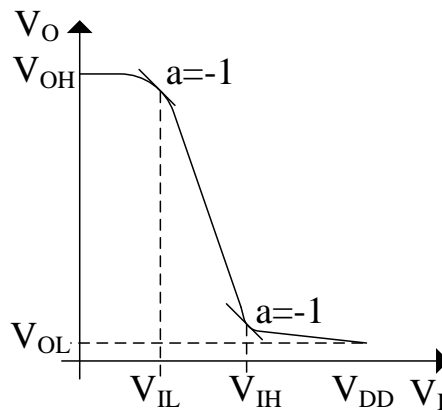
$$\sqrt{\frac{2V_{DD}}{3k_n R_L}} < V_{Tn}$$

U svim ovim izrazima često se napon napajanja smatra konstantnim a podešava se faktor  $k_n R_L$  i odnos  $\frac{k_n R_L}{V_{DD}}$  se obeležava sa  $\beta$  (pokazuje mogućnost „drajvovanja“ izlaza za zadati napon)

$$\sqrt{\frac{2}{3\beta}} < V_{Tn} \Rightarrow \beta > \frac{2}{3V_{Tn}^2}$$

Uočiti da će za ovako izabran parametar biti ispunjen uslov  $V_{O(IL)} > V_{IH}$  potreban opet zbog održivosti naponskih nivoa.

Znači karakteristika prenosa će biti



Da bi odredili prag odlučivanja logičkog kola, mogli bi da sprovedemo kompletna postupak. Očigledno je da će se ta tačka naći u drugoj oblasti, pri čemu je

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{L_n E_{Cn}}{L_n E_{Cn} + (V_I - V_{Tn})} (V_I - V_{Tn})^2$$

$$V_I = V_O = V_S$$

$$\frac{V_{DD} - V_S}{R_L} = \frac{k_n}{2} \frac{L_n E_{Cn}}{L_n E_{Cn} + (V_S - V_{Tn})} (V_S - V_{Tn})^2$$

i „nema zanemarivanja“.

Nekako se nameće da rešavamo po  $(V_S - V_{Tn})$

$$\frac{V_{DD} - (V_S - V_{Tn}) - V_{Tn}}{R_L} = \frac{k_n}{2} \frac{L_n E_{Cn}}{L_n E_{Cn} + (V_S - V_{Tn})} (V_S - V_{Tn})^2$$

$$\left( \frac{k_n L_n E_{Cn}}{2} + \frac{1}{R_L} \right) (V_S - V_{Tn})^2 + \left( \frac{L_n E_{Cn}}{R_L} - \frac{V_{DD} - V_{Tn}}{R_L} \right) (V_S - V_{Tn}) - L_n E_{Cn} \frac{V_{DD} - V_{Tn}}{R_L} = 0$$

$$(V_S - V_{Tn})^2 + \frac{L_n E_{Cn} - (V_{DD} - V_{Tn})}{\frac{k_n R_L L_n E_{Cn}}{2} + 1} (V_S - V_{Tn}) - \frac{L_n E_{Cn} (V_{DD} - V_{Tn})}{\frac{k_n R_L L_n E_{Cn}}{2} + 1} = 0$$

Kao rezultat se dobija  $V_S = 0.7V$ . Međutim očekujući da je ova tačka na polovini napona napajanja, „tako bi trebalo da se projektuju logička kola“, možemo u članu koji „nam smeta“ da to pretpostavimo. Na primer

$$\frac{V_{DD} - \frac{V_{DD}}{2}}{R_L} = \frac{k_n}{2} \frac{L_n E_{Cn}}{L_n E_{Cn} + \left( \frac{V_{DD}}{2} - V_{Tn} \right)} (V_S - V_{Tn})^2$$

$$V_S - V_{Tn} = \sqrt{\frac{V_{DD} \left( L_n E_{Cn} + \left( \frac{V_{DD}}{2} - V_{Tn} \right) \right)}{k_n R_L L_n E_{Cn}}} = 0.26V \Rightarrow V_S = 0.71V$$

Greška koju smo napravili u odnosu na tačan rezultat je mala. Razlog je što je stvarno tačka  $V_S = 0.7V$  dosta bliska polovini napona napajanja  $\frac{V_{DD}}{2} = 0.6V$ .

Sada bi čak mogli iterativno da rešavamo jednačinu približavajući se tačnom rešenju. Ali nema potrebe.

U svakom slučaju na ispitu je drugi način dozvoljen i poželjan. Prvi treba zaobilaziti u širokom luku pošto je jako lako napraviti greške u izvođenju izraza i na ispitu vrlo verovatne.

#### DIGRESIJA

Razmatrajući način na koji smo našli  $V_S$  dosta tačno, mogli bi da se vratimo na određivanje  $V_{IH}$  gde smo videli da nam zanemarivanje baš i nije uspelo. Da se podsetimo šta smo zanemarili u izrazu

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_n}{2} \frac{1}{1 + \frac{V_O}{L_n E_{Cn}}} (2V_O (V_I - V_{Tn}) - V_O^2)$$

Smatrali smo da je

$$\frac{V_O}{L_n E_{Cn}} \ll 1$$

Što se pokazalo da i nije baš tačno. Međutim ako pogledamo opet izraz i setimo se šta smo uradili prilikom određivanja  $V_S$  mogli bi da za neko konstantan napon  $V_O = \text{CONST}$  kažemo da se izraz može pisati u obliku

$$\frac{V_{DD} - V_O}{R_L} = \frac{k_{neff}}{2} (2V_O(V_I - V_{Tn}) - V_O^2)$$

gde je

$$k_{neff} = \frac{k_n}{1 + \frac{CONST}{L_n E_{Cn}}}$$

Svi izvedeni izrazi za  $V_{IH}$  i  $V_{O(IH)}$  ostaju u važnosti samo ćemo umesto  $k_n$  koristiti  $k_{neff}$ . Logično kao  $CONST$  ćemo zameniti onaj napon  $V_{O(IH)}$  koji smo našli u prvoj iteraciji. U tom slučaju zamenjujući brojne vrednosti

$$k_{neff} = \frac{k_n}{1 + \frac{CONST}{L_n E_{Cn}}} = \frac{k_n}{1.25}$$

$$V_{O(IH)} \approx \frac{1}{2} \sqrt{\frac{8V_{DD}}{3k_{neff}R_L}} = \frac{1}{2} \sqrt{1.25 \frac{8V_{DD}}{3k_n R_L}} = \sqrt{1.25} \times 0.17V = 1.12 \times 0.17V = 0.19V$$

Sledeća iteracija

$$k_{neff2} = \frac{k_n}{1 + \frac{CONST2(= 0.19V)}{L_n E_{Cn}}} = \frac{k_n}{1.28}$$

$$V_{O(IH)} \approx \frac{1}{2} \sqrt{\frac{8V_{DD}}{3k_{neff2}R_L}} = \frac{1}{2} \sqrt{1.28 \frac{8V_{DD}}{3k_n R_L}} = \sqrt{1.28} \times 0.17V = 1.13 \times 0.17V \approx 0.19V$$

Pa bi onda ovaj rezultat mogli da koristimo za računanje  $V_{IH}$

$$V_{IH} \approx 2V_{O(IH)} + V_{Tn} - \frac{1}{k_n R_L} = 0.38V + 0.45V - 0.04V = 0.79V$$

Relativna greška, ako ovo smatramo tačnim rezultatom, koju smo napravili za potpunim zanemarivanjem je

$$\varepsilon_r = \frac{0.79V - 0.75V}{0.79V} = 0.05 = 5\%$$

Što znači da smo sa punim pravom mogli i bez ovih iteracija, kao što smo ranije i rekli.

Što se tiče strujnih kapaciteta evidentno je da će

$$I_{IL} = I_{IH} \approx 0$$

zanemarujući struje curenja. Prema tome ovde nema smisla govoriti o faktoru grananja na osnovu statičkih karakteristika, Po definiciji uvek bi bio beskonačan. Međutim zbog konstrukcije MOS FET tranzistora njihove ulazne kapacitivnosti su veće nego kod bipolarnih tranzistora i očigledno će ovaj faktor grananja odrediti dinamički režim rada MOS FET logičkih kola. O tome ćemo već govoriti na pogodnom mestu.

Strujni kapaciteti izlaza su jako slični strujnim kapacitetima koje smo računali kod RTL logičkih kola. Strujni kapacitet logičke jedinice je

$$I_{OH} = -\frac{V_{DD} - V_{OHmin}}{R_L}$$

Strujni kapacitet logičke nule, tranzistor radi u omskoj oblasti je

$$I_{OL} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{OLmax}}{L_n E_{Cn}}} (2V_{OLmax}(V_I - V_{Tn}) - V_{OLmax}^2) - \frac{V_{DD} - V_{OLmax}}{R_L}$$

Za razliku od bipolarnog tranzistora, MOSFET tranzistor će menjati napon na svom izlazu prilikom strujnog opterećenja i zbog toga se u ovom izrazu pojavljuje napon  $V_{OLmax}$  definisan na isti način kao što smo ranije definisali  $V_{OHmin} = V_{IH} + \Delta$  odnosno  $V_{OLmax} = V_{IL} - \Delta$ , da bi ostavili prostor za pojavu šuma. Na ispitu ako nije specificirano  $V_{OLmax} = V_{IL}$ .

Postavlja se pitanje koje  $V_I$  treba zameniti. Nadam se da nemate dilemu.  $V_{OHmin}$ . Na ispitu ako nije specificirano  $V_{OLmin} = V_{IH}$

$$I_{OL} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{OLmax}}{L_n E_{Cn}}} (2V_{OLmax}(V_{OHmin} - V_{Tn}) - V_{OLmax}^2) - \frac{V_{DD} - V_{OLmax}}{R_L}$$

Međutim, u praktičnim slučajevima se MOS FET tranzistor koji radi u triodnoj, omskoj, oblasti, pogotovo za male napone  $V_{DS}$  zamenjuje svojom ekvivalentnom dinamičkom otpornošću.

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{DS}}{L_n E_{Cn}}} (2V_{DS}(V_{GS} - V_{Tn}) - V_{DS}^2)$$

$$g_{DSn} = \frac{1}{r_{DSn}} = \frac{\partial I_{Dn}}{\partial V_{DS}} = \frac{\partial}{\partial V_{DS}} \left( \frac{k_n}{2} \frac{1}{1 + \frac{V_{DS}}{L_n E_{Cn}}} (2V_{DS}(V_{GS} - V_{Tn}) - V_{DS}^2) \right)$$

$$g_{DSn} = \frac{1}{r_{DSn}} = \frac{\partial I_{Dn}}{\partial V_{DS}} \approx \frac{\partial}{\partial V_{DS}} \left( \frac{k_n}{2} (2V_{DS}(V_{GS} - V_{Tn})) \right)$$

$$g_{DSn} = \frac{1}{r_{DSn}} = \frac{\partial I_{Dn}}{\partial V_{DS}} \approx k_n (V_{GS} - V_{Tn})$$

$$r_{DSn} \approx \frac{1}{k(V_{GS} - V_{Tn})}$$

U tom slučaju strujni kapacitet može da se izrazi kao

$$r_{DSn}(I_{RL} + I_{OL}) \leq V_{OLmax}$$

$$I_{OL} \leq \frac{V_{OLmax}}{r_{DSn}} - I_{RL}$$

$$I_{OL} = V_{OLmax} k_n (V_{GS} - V_{Tn}) - \frac{V_{DD} - V_{OLmax}}{R_L}$$

što je identično „tačnom“ izrazu uz zanemarivanje odgovarajućih članova

$$I_{OL} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{OLmax}}{L_n E_{Cn}}} (2V_{OLmax}(V_{OHmin} - V_{Tn}) - V_{OLmax}^2) - \frac{V_{DD} - V_{OLmax}}{R_L}$$

Kod dinamičkog režima sa prelaska  $V_{OL}$  na  $V_{OH}$  u slučaju da je invertor opterećen kapacitivnošću  $C_L$  na izlasku, pošto je u pitanju prosto RC kolo možemo odmah da pišemo

$$\tau = R_L C_L \quad t_{pLH} = 0.69\tau \quad t_r = 2.2\tau$$

Prilikom prelaska  $V_{OH}$  na  $V_{OL}$  slično kao kod RTL kola moramo da se poslužimo modelom. Pošto napon na izlasku, zbog kapacitivnosti, ne može trenutno da se promeni, napon  $V_{DS}$  će biti visok i tranzistor će raditi u zasićenju. Njegova struja je tada konstantna (zanemarićemo  $\lambda$ ) i jednaka je

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$

Pošto posmatramo najgori slučaj, smatraćemo da je  $V_I = V_{OHmin}$ . Po modelu imamo

$$\tau = C_L R_L$$

$$v(t_0^+) = V_{OH}$$

$$v_0(\infty) = V_{CC} - R_C i_{RL}(\infty) = V_{CC} - R_L I_{Dn}$$

i po definiciji

$$t_{pHL} = t_0 + \tau \ln \left( \frac{v_0(t_0^+) - v_0(\infty)}{v_0(t_1) - v_0(\infty)} \right)$$

gde je  $v_0(t_1) = \frac{V_{OH} + V_{OL}}{2}$ . Ostaje pitanje da li je svo to vreme tranzistor bio u zasićenju.

Uslov zasićenja tranzistora u kolu je

$$V_{DSn} = V_O \geq \frac{(V_{GSn} - V_{Tn})}{1 + \frac{(V_{GSn} - V_{Tn})}{L_n E_{Cn}}} = \frac{(V_I - V_{Tn})}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}}$$

Uočite da efekat zasićenja brzine nosilaca „brže“ uvodi tranzistor u zasićenje (pri manjim naponima  $V_{DS}$ ) ali isto tako sa druge strane i „sporije“ izvodi tranzistor iz zasićenja.

$$\frac{V_{OH} + V_{OL}}{2} \geq \frac{V_{OHmin} - V_{Tn}}{1 + \frac{(V_{OHmin} - V_{Tn})}{L_n E_{Cn}}}$$

$$\frac{V_{OH} + V_{OL}}{2} \left( 1 + \frac{(V_{OHmin} - V_{Tn})}{L_n E_{Cn}} \right) \geq V_{OHmin} - V_{Tn}$$

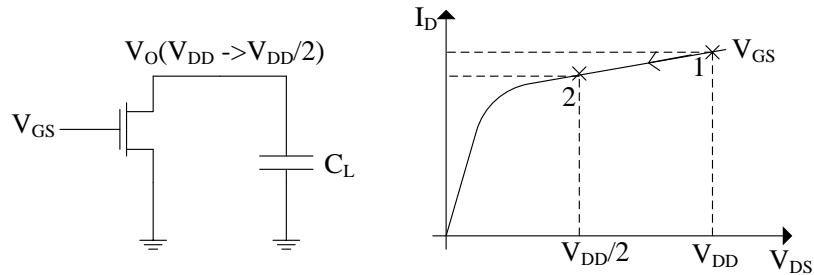
$$\frac{V_{OH} + V_{OL}}{2} \geq (V_{OHmin} - V_{Tn}) \left( 1 - \frac{V_{OH} + V_{OL}}{2L_n E_{Cn}} \right)$$

Za brojne primere koji smo imali biće zadovoljen uslov, tako da tranzistor radi u zasićenju za sve vreme ovog procesa pražnjenja kapacitivnosti na izlazu.

## Dinamička otpornost MOS FET tranzistora

(bude često na ispitu)

Da bi se u kasnijim analizama dinamičkog režima rada tranzistora izbegao prethodni račun, sa dovoljnom tačnošću, MOS FET tranzistor kada radi u aktivnoj oblasti zamenjuje se dinamičkom otpornošću. Uzima se u obzir i faktor  $\lambda$ .



Da ponovimo: Ideja je da se prilikom procene kašnjenja, ne izvode i ne računaju kvadratne jednačine, nego da se tranzistor zameni ekvivalentnom otpornošću kada menja radnu tačku između tačaka 1 i 2. Time bi koristili gotove rezultate  $t_p = 0.69R_n C_L$  sa dovoljno dobrom tačnošću.

Uočiti da će ova aproksimacija praktično važiti samo za tranzistore sa kratkim kanalom kod kojih je  $V_{DSsat}$  malo i gde važi  $V_{DSsat} < \frac{V_{DD}}{2}$ , odnosno gde tranzistor ostaje u zasićenju sve vreme kada prazni parazitnu kapacitivnost, bez obzira koja je pobuda  $V_{Tn} \leq V_{GS} \leq V_{DD}$ . Tranzistori koji se koriste u savremenim integrisanim kolima jesu tranzistori sa kratkim kanalom.

Kod tranzistora dugim kanalom bi imali situaciju da kada je na primer maksimalna pobuda na gejtu  $V_{GS} = V_{DD}$  da je  $V_{DSsat} = V_{DD} - V_{Tn}$ , odnosno tranzistor bi „brzo“ u ovom procesu pražnjenja kapacitivnosti izašao iz zasićenja i više se ponašao kao otpornost  $r_{DS}$  pošto bi veliki deo procesa radio u omskoj oblasti.

Ekvivalentu otpornost  $R_n$  možemo izračunati na dva načina

Prvi način

$$R_n = \frac{R_{ON1} + R_{ON2}}{2}$$

Ekvivalentu otpornost  $R_n$  računamo kao srednju vrednost otpornosti tranzistora u tačkama 1 i 2, pri čemu je

$$R_{ON1} = \frac{V_{DD}}{I_{Dn1}} = \frac{V_{DD}}{\frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS} - V_{Tn})}{L_n E_{Cn}}} (V_{GS} - V_{Tn})^2 (1 + \lambda_n V_{DD})}$$



$$R_{ON2} = \frac{\frac{V_{DD}}{2}}{I_{Dn2}} = \frac{\frac{V_{DD}}{2}}{\frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS} - V_{Tn})}{L_n E_{Cn}}} (V_{GS} - V_{Tn})^2 (1 + \lambda_n \frac{V_{DD}}{2})}$$

Da bi pojednostavili izraz smatraćemo da je

$$I_{Dnsat} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS} - V_{Tn})}{L_n E_{Cn}}} (V_{GS} - V_{Tn})^2$$

Pa je tada

$$R_{ON1} = \frac{V_{DD}}{I_{Dn1}} = \frac{V_{DD}}{I_{Dnsat} (1 + \lambda_n V_{DD})}$$

$$R_{ON2} = \frac{\frac{V_{DD}}{2}}{I_{Dn2}} = \frac{V_{DD}}{2 I_{Dnsat} (1 + \lambda_n \frac{V_{DD}}{2})}$$

$$R_n = \frac{R_{ON1} + R_{ON2}}{2} = \frac{\frac{V_{DD}}{I_{Dnsat} (1 + \lambda_n V_{DD})} + \frac{V_{DD}}{2 I_{Dnsat} (1 + \lambda_n \frac{V_{DD}}{2})}}{2}$$

$$R_n = \frac{V_{DD}}{4 I_{Dnsat}} \left( \frac{2}{(1 + \lambda_n V_{DD})} + \frac{1}{(1 + \lambda_n \frac{V_{DD}}{2})} \right)$$

Kako je  $\lambda_n V_{DD} \ll 1$  tada važi  $\frac{1}{1 + \lambda_n V_{DD}} \approx 1 - \lambda_n V_{DD}$  pa je

$$R_n \approx \frac{V_{DD}}{4 I_{Dnsat}} \left( 2(1 - \lambda_n V_{DD}) + (1 - \lambda_n \frac{V_{DD}}{2}) \right)$$

$$R_n \approx \frac{3}{4} \frac{V_{DD}}{I_{Dnsat}} \left( 1 - \frac{5}{6} \lambda_n V_{DD} \right)$$

Drugi način

Računamo „zaista“ srednju vrednost po definiciji kada se radna tačka menja između tačaka 1 i 2

$$R_n = \frac{1}{V_2 - V_1} \int_{V_1}^{V_2} R_{ON}(V) dV$$

$$R_{ON}(V) = \frac{V}{I_{Dn}(V)} = \frac{V}{\frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS} - V_{Tn})}{L_n E_{Cn}}} (V_{GS} - V_{Tn})^2 (1 + \lambda_n V)}$$

Uz istu zamenu

$$I_{Dnsat} = \frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS} - V_{Tn})}{L_n E_{Cn}}} (V_{GS} - V_{Tn})^2$$

$$R_n = \frac{1}{\frac{V_{DD}}{2} - V_{DD}} \int_{V_{DD}}^{\frac{V_{DD}}{2}} \frac{V}{I_{Dnsat}(1 + \lambda_n V)} dV$$

$$R_n = -\frac{2}{I_{Dnsat} V_{DD}} \int_{V_{DD}}^{\frac{V_{DD}}{2}} \frac{V}{(1 + \lambda_n V)} dV$$

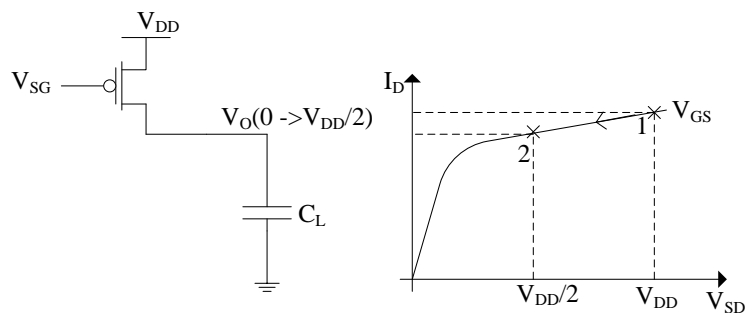
$$R_n \approx -\frac{2}{I_{Dnsat} V_{DD}} \int_{V_{DD}}^{\frac{V_{DD}}{2}} V(1 - \lambda_n V) dV$$

$$R_n \approx -\frac{2}{I_{Dnsat} V_{DD}} \int_{V_{DD}}^{\frac{V_{DD}}{2}} V(1 - \lambda_n V) dV$$

$$R_n \approx \frac{3}{4} \frac{V_{DD}}{I_{Dnsat}} \left(1 - \frac{7}{9} \lambda_n V_{DD}\right)$$

Izrazi su veoma slični, i jedna i drugi su aproksimacija, tako da možemo koristiti ili jedan ili drugi, pri čemu je drugi tačniji. ( $\frac{5}{6} = 0.833$ ,  $\frac{7}{9} = 0.777$ )

Na identičan način možemo izvesti izraz i za p kanalni MOS FET tranzistor kada je nalazi u PUN mreži i puni kapacitivnost.



Ne zaboravite: sors je na  $V_{DD}$  a drejn na kapacitivnosti odnosno izlaznom naponu.

$$R_p \approx \frac{3}{4} \frac{V_{DD}}{I_{Dpsat}} \left(1 - \frac{5}{6} |\lambda_p| V_{DD}\right)$$

$$R_p \approx \frac{3}{4} \frac{V_{DD}}{I_{Dnsat}} \left(1 - \frac{7}{9} |\lambda_p| V_{DD}\right)$$

DIGRESIJA:  $|\lambda_p|$  da ne bi bilo zabune koji nam je bio način pisanja za p kanalni tranzistor.

## Invertor u nMOS tehnologiji sa aktivnim opterećenjem na izlazu u vidu nMOS tranzistora sa indukovanim kanalom

Kod invertora u nMOS tehnologiji sa pasivnim opterećenjem na izlazu nismo prodiskutovali izbor pasivnog opterećenja, odnosno otpornika  $R_L$ . Situacija je praktično identična kao i kod logičkih kola sa bipolarnim tranzistorima i pasivnim opterećenjem.

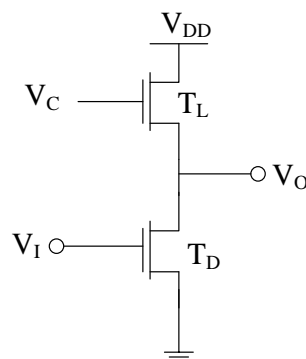
1. Otpornik  $R_L$  treba da je što veći kako bi napon logičke nule bio što manji. Otpornik  $R_L$  treba da bude što je veći, da bi što manje uticao na strujni kapacitet logičke nule.
2. Otpornik  $R_L$  treba da je što manji, da bi što brže punio kapacitivnosti na izlazu.
3. Otpornik  $R_L$  direktno utiče na  $V_{IL}$  i  $V_{IH}$ . Što je manji  $V_{IL}$  je veće, ali je  $V_{IH}$  veće i obrnuto.

Znači i ovde je potreban kompromis za izbor vrednosti pasivnog opterećenja. Međutim situacija je jednostavnija nego kod logičkih kola sa bipolarnim tranzistorima. Uočite da se praktično u svim izrazima pojavljuje faktor  $k_n R_L$ , odnosno postavlja se pitanje izbora tog faktora. A na njega možemo kod MOS tranzistora da utičemo promenom faktora  $k_n$ . Da se podsetimo

$$k_n = \mu_n C_{oxn} \frac{W_n}{L_n}$$

i ako su parametri  $\mu_n$ ,  $C_{oxn}$  i  $L_n$  određeni tehnološkim mogućnostima i fiksni (želimo na primer tranzistore minimalnih dimenzija pa je  $L_n = L_{nmin}$  koje tehnologija dopušta) onda promenom parametra  $W_n$  na lak način možemo da utičemo na  $k_n$ .  $W_n$  je širina kanala i nju u dizajnu možemo lako da kontrolišemo.

Prema tome iz istog razloga zbog kojeg se pojavio totempol kod logičkih kola sa bipolarnim tranzistorima ovde je ideja da se umesto otpornika  $R_L$  uvede tranzistor. Za početak nMOS tranzistor sa indukovanim kanalom.



Pošto je bitan režim rada tranzistora  $T_L$  (L - load) razmotrićemo dva slučaja u zavisnosti koliki je kontrolni napon  $V_C$  na gejtju tranzistora  $T_L$ . Nadam se da je jasno da je drejn tranzistora  $T_L$  na  $V_{DD}$  a sors na izlaznom naponu. Isto tako da bi kvalitativno videli šta se

dešava smatraćemo da su tranzistori sa dugačkim kanalom. Mogli bi da izvedemo uzimajući u obzir i kratki kanal, ali bi ionako u „krajnjim“ režimima uradili uprošćavanja i opet došli do izraza za dugačak kanal, kao što smo videli.

Da pogledamo režim rada tranzistora  $T_L$ . Naponi na tranzistoru su

$$V_{GS,L} = V_{G,L} - V_{S,L} = V_C - V_O$$

$$V_{DS,L} = V_{D,L} - V_{S,L} = V_{DD} - V_O$$

Uslov da radi u zasićenju

$$V_{DS,L} \geq V_{GS,L} - V_{Tn,L}$$

$$V_{DD} - V_O \geq V_C - V_O - V_{Tn,L}$$

$$V_{DD} + V_{Tn,L} \geq V_C$$

i dobija se zanimljiv rezultat. Vidi se da se podešavanjem kontrolnog napona  $V_C$  može postići da tranzistor  $T_L$  uvek radi u zasićenju

$$V_C < V_{DD} + V_{Tn,L}$$

(normalno smatramo da je kontrolni napon dovoljno visok da tranzistor ima uslove da radi), odnosno da uvek radi u omskoj oblasti

$$V_C > V_{DD} + V_{Tn,L}$$

Ajde prvo da posmatramo slučaj kada tranzistor  $T_L$  radi uvek u omskoj oblasti. Za očekivati je da ćemo dobiti slične rezultate kao i za pasivno opterećenje na izlazu.

Za ulazni napon  $V_I < V_{Tn,D}$  tranzistor  $T_D$  (D – drive) je zakočen. Kolo je neoptrećeno  $I_{Dn,D} = 0 = I_{Dn,L}$ . Kako tranzistor  $T_L$  radi u omskoj oblasti

$$I_{Dn,L} = \frac{k_{n,L}}{2} (2V_{DS,L}(V_{GS,L} - V_{Tn,L}) - V_{DS,L}^2) = 0$$

njegova radna tačka će se podesiti tako da je  $V_{DSL} = 0$ . To je jedina moguća radna tačka nezavisno od napona  $V_{GSL}$ . Prema tome

$$V_O = V_{OH} = V_{DD} - V_{DS,L} = V_{DD}$$

Daljim porastom ulaznog napona  $V_I = V_{Tn,D} + \varepsilon$  tranzistor  $T_D$  počinje da vodi sa malom strujom. Visok mu je napon na drejnu pa radi u zasićenju.  $V_{DS,D} \geq V_{GS,D} - V_{Tn,D}$  odnosno  $V_O \geq V_I - V_{Tn,D}$ . Izjednačavanjem struja  $I_{Dn,L} = I_{Dn,D}$

$$\frac{k_{n,L}}{2} (2V_{DS,L}(V_{GS,L} - V_{Tn,L}) - V_{DS,L}^2) = \frac{k_{n,D}}{2} (V_{GS,D} - V_{Tn,D})^2$$

odnosno

$$\frac{k_{n,L}}{2}(2(V_{DD} - V_O)(V_C - V_O - V_{Tn,L}) - (V_{DD} - V_O)^2) = \frac{k_{n,D}}{2}(V_I - V_{Tn,D})^2$$

dolazimo do zavisnosti izlaznog od ulaznog napona koju možemo napisati u obliku

$$k_{n,L}(V_{DD} - V_O)(2V_C - 2V_{Tn,L} - V_{DD} - V_O) = k_{n,D}(V_I - V_{Tn,D})^2$$

Kako je  $V_C > V_{DD} + V_{Tn,L}$  i možemo pretpostaviti  $V_C = V_{DD} + V_{Tn,L} + \Delta$  dolazimo do zgodnijeg izraza

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D}(V_I - V_{Tn,D})^2$$

Ako bi sada smatrali da se u toj oblasti nalazi  $V_{IL}$  i uradili diferenciranje leve i desne strane i zamenili da je  $\frac{\partial V_O}{\partial V_I} = -1$  dobijamo

$$k_{n,L}(V_{DD} + 2\Delta - V_O) + k_{n,L}(V_{DD} - V_O) = 2k_{n,D}(V_I - V_{Tn,D})$$

$$k_{n,L}(V_{DD} + \Delta - V_O) = k_{n,D}(V_I - V_{Tn,D})$$

$$V_I = V_{Tn,D} + \frac{k_{n,L}}{k_{n,D}}(V_{DD} + \Delta - V_O)$$

Zamenom u polaznu jednačinu

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D} \left( V_{Tn,D} + \frac{k_{n,L}}{k_{n,D}}(V_{DD} + \Delta - V_O) - V_{Tn,D} \right)^2$$

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = \frac{k_{n,L}^2}{k_{n,D}}(V_{DD} + \Delta - V_O)^2$$

$$k_{n,D}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,L}(V_{DD} + \Delta - V_O)^2$$

Zanimljivo je što za  $\Delta = 0$  kada je tranzistor  $T_L$  na prelazu između omske oblasti i zasićenja rešenje jednačine je uz  $k_{n,L} \neq k_{n,D}$  moguće samo za  $V_O = V_{DD}$  pa je tada i  $V_{IL} = V_{Tn1}$  što ćemo videti i kasnije kada budemo analizirali situaciju kada tranzistor  $T_L$  uvek radi u zasićenju.

Opet je slična situacija, zgodno je pisati po  $V_{DD} - V_O$

$$k_{n,D}(V_{DD} - V_O)^2 + 2\Delta k_{n,D}(V_{DD} - V_O) = k_{n,L}((V_{DD} - V_O)^2 + 2\Delta(V_{DD} - V_O) + \Delta^2)$$

$$(V_{DD} - V_O)^2(k_{n,D} - k_{n,L}) + 2\Delta(V_{DD} - V_O)(k_{n,D} - k_{n,L}) - \Delta^2 k_{n,L} = 0$$

Ono što odmah treba uočiti jeste na primer ako je  $k_{n,L} = k_{n,D}$  jednačina nema rešenje. A to znači da u ovoj oblasti nema tačke gde je pojačanje jednako jedinici.

$$V_{DD} - V_O = \frac{-2\Delta(k_{n,D} - k_{n,L}) + \sqrt{4\Delta^2(k_{n,D} - k_{n,L})^2 + 4\Delta^2 k_{n,L}(k_{n,D} - k_{n,L})}}{2(k_{n,D} - k_{n,L})}$$

$$V_{DD} - V_O = \Delta \left( -1 + \sqrt{1 + \frac{k_{n,L}}{(k_{n,D} - k_{n,L})}} \right) = \Delta \left( -1 + \sqrt{\frac{k_{n,D}}{(k_{n,D} - k_{n,L})}} \right)$$

Ono što takođe treba uočiti jeste ako je  $k_{n,L} > k_{n,D}$  jednačina takođe nema realnih rešenja. A to znači da u ovoj oblasti nema tačke gde je pojačanje jednako jedinici. Situacija je potpuno identična situaciji kao kad bi kod tranzistora sa pasivnim opterećenjem izabrali suviše mali otpornik  $r_{DS2} \sim \frac{1}{k_{n,L}}$  sa kojim uz pojačanje  $k_{n,D}$  ne dobijamo dovoljno ukupno pojačanje.

Da se vratimo na jednačinu posle diferenciranja, ali bez zamene  $\frac{\partial V_O}{\partial V_I} = -1$

$$-\frac{\partial V_O}{\partial V_I} k_{n,L}(V_{DD} + 2\Delta - V_O) - \frac{\partial V_O}{\partial V_I} k_{n,L}(V_{DD} - V_O) = 2k_{n,D}(V_I - V_{Tn1})$$

$$-\frac{\partial V_O}{\partial V_I} = \frac{2k_{n,D}(V_I - V_{Tn1})}{k_{n,L}(V_{DD} + 2\Delta - V_O) + k_{n,L}(V_{DD} - V_O)}$$

$$\frac{\partial V_O}{\partial V_I} = -\frac{k_{n,D}(V_I - V_{Tn1})}{k_{n,L}(V_{DD} + \Delta - V_O)}$$

Da bi postojala tačka sa pojačanjem 1 uslov je

$$\frac{k_{n,D}(V_I - V_{Tn1})}{k_{n,L}(V_{DD} + \Delta - V_O)} > 1$$

Za opsege napona  $V_I$  i  $V_O$  od 0 do  $V_{DD}$ . Ako je  $k_{n,L} > k_{n,D}$  ne postoje parovi tačaka za koje će ovaj uslov biti ispunjen.

$$\max(k_{n,D}(V_I - V_{Tn1})) = k_{n,D}(V_{DD} - V_{Tn1})$$

$$\min(k_{n,L}(V_{DD} + \Delta - V_O)) = k_{n,L}(V_{DD} + \Delta)$$

$$\frac{k_{n,D}(V_{DD} - V_{Tn1})}{k_{n,L}(V_{DD} + \Delta)} < 1$$

odnosno pojačanje će uvek biti manje od 1. To onda nije logičko kolo po definiciji. Znači moraju se parametri odabrati da budu korektni, odnosno  $k_{n,L} < k_{n,D}$ . Uz taj uslov

$$\begin{aligned}
V_{O(IL)} &= V_{DD} + \Delta \left( 1 - \sqrt{\frac{k_{n,D}}{(k_{n,D} - k_{n,L})}} \right) \\
&= V_{DD} + (V_C - V_{DD} - V_{Tn,L}) \left( 1 - \sqrt{\frac{k_{n,D}}{(k_{n,D} - k_{n,L})}} \right) \\
V_{IL} &= V_{Tn,D} + \frac{k_{n,L}}{k_{n,D}} \left( V_{DD} + \Delta - \left( V_{DD} + \Delta - \Delta \sqrt{\frac{k_{n,D}}{(k_{n,D} - k_{n,L})}} \right) \right) \\
V_{IL} &= V_{Tn,D} + (V_C - V_{DD} - V_{Tn,L}) \frac{k_{n,L}}{k_{n,D}} \sqrt{\frac{k_{n,D}}{(k_{n,D} - k_{n,L})}}
\end{aligned}$$

Daljim porastom ulaznog napona, napon na drejnu tranzistora T1 opada i kada je

$$V_O = V_{DS,D} = V_{GS,D} - V_{Tn,D} = V_I - V_{Tn,D}$$

i tranzistor T<sub>D</sub> ulazi u omsku oblast, pa je zavisnost ulaznog od izlaznog napona

$$\frac{k_{n,L}}{2} (2V_{DS,L}(V_{GS,L} - V_{Tn,L}) - V_{DS,L}^2) = \frac{k_{n,D}}{2} (2V_{DS,D}(V_{GS,D} - V_{Tn,D}) - V_{DS,D}^2)$$

$$k_{n,L}(2V_{DS,L}(V_{GS,L} - V_{Tn,L}) - V_{DS,L}^2) = k_{n,D}(2V_{DS,D}(V_{GS,D} - V_{Tn,D}) - V_{DS,D}^2)$$

uz  $V_C = V_{DD} + V_{Tn,L} + \Delta$

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D}V_O(2V_I - 2V_{Tn,D} - V_O)$$

Ako se u ovoj oblasti nalazi  $V_{IH}$  diferenciranjem leve i desne strane i izjednačavanjem

$\frac{\partial V_O}{\partial V_I} = -1$  dobijamo

$$k_{n,L}(V_{DD} + 2\Delta - V_O) + k_{n,L}(V_{DD} - V_O) = -k_{n,D}(2V_I - 2V_{Tn,D} - V_O) + k_{n,D}V_O(2 + 1)$$

$$k_{n,L}(2V_{DD} + 2\Delta - 2V_O) = k_{n,D}(2V_O - 2V_I + 2V_{Tn,D})$$

$$V_I = V_{Tn,D} + V_O - \frac{k_{n,L}}{k_{n,D}}(V_{DD} + \Delta - V_O)$$

Zamenom u početni izraz

$$\begin{aligned}
&k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) \\
&= k_{n,D}V_O \left( \left( 2V_{Tn,D} + 2V_O - 2\frac{k_{n,L}}{k_{n,D}}(V_{DD} + \Delta - V_O) \right) - 2V_{Tn,D} - V_O \right)
\end{aligned}$$

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D}V_O \left( V_O - 2 \frac{k_{n,L}}{k_{n,D}} (V_{DD} + \Delta - V_O) \right)$$

I pod pretpostavkom da je  $V_O$  malo

$$k_{n,L}(V_{DD})(V_{DD} + 2\Delta) = k_{n,D}V_O \left( V_O - 2 \frac{k_{n,L}}{k_{n,D}} (V_{DD} + \Delta) \right)$$

$$k_{n,D}V_O^2 - 2k_{n,L}(V_{DD} + \Delta)V_O - k_{n,L}(V_{DD})(V_{DD} + 2\Delta) = 0$$

$$V_O = \frac{2k_{n,L}(V_{DD} + \Delta) \pm \sqrt{(2k_{n,L}(V_{DD} + \Delta))^2 + 4k_{n,D}k_{n,L}(V_{DD})(V_{DD} + 2\Delta)}}{2k_{n,D}}$$

$$V_O = \frac{2k_{n,L}(V_{DD} + \Delta) \pm 2k_{n,L}(V_{DD} + \Delta) \sqrt{1 + \frac{k_{n,D}}{k_{n,L}} - \frac{k_{n,D}}{k_{n,L}} \frac{\Delta^2}{(V_{DD} + \Delta)^2}}}{2k_{n,D}}$$

Očigledno treba uzeti rešenje sa znakom plus ( $\frac{k_{n,D}}{k_{n,L}} > \frac{k_{n,D}}{k_{n,L}} \frac{\Delta^2}{(V_{DD} + \Delta)^2}$ , podkorena veličina je veća od 1)

$$V_{O(IH)} \approx \frac{k_{n,L}}{k_{n,D}} (V_C - V_{Tn,L}) \left( 1 + \sqrt{1 + \frac{k_{n,D}}{k_{n,L}} \left( 1 - \frac{(V_C - V_{DD} - V_{Tn,L})^2}{(V_C - V_{Tn,L})^2} \right)} \right)$$

$$V_{IH} \approx V_{Tn,D} + \frac{k_{n,L}}{k_{n,D}} (V_C - V_{Tn,L}) \sqrt{1 + \frac{k_{n,D}}{k_{n,L}} \left( 1 - \frac{(V_C - V_{DD} - V_{Tn,L})^2}{(V_C - V_{Tn,L})^2} \right)}$$

Dok će se napon logičke nule dobiti kao rešenje jednačine

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D}V_O(2V_I - 2V_{Tn,D} - V_O)$$

za  $V_I = V_{OH}$

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta - V_O) = k_{n,D}V_O(2V_{OH} - 2V_{Tn,D} - V_O)$$

Uz  $V_{OL}$  malo

$$k_{n,L}(V_{DD} - V_O)(V_{DD} + 2\Delta) = k_{n,D}V_O(2V_{OH} - 2V_{Tn,D})$$

$$V_{OL} \approx \frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{V_{DD}(V_{DD} + 2\Delta)}{V_{DD} - V_{Tn,D}} = \frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{V_{DD}(2V_C - V_{DD} - V_{Tn,L})}{V_{DD} - V_{Tn,D}}$$



**DIGRESIJA**

**Važno je da uočite da se ništa neće promeniti ni ovde a ni na drugim mestima ako na primer povećamo obe širine tranzistora istim faktorom, pošto nam se stalno pojavljuju odnosi**

$$\frac{k_{n,L}}{k_{n,D}} = \frac{\mu_{n2} C_{oxn2} \frac{W_{n,L}}{L_{n,L}}}{\mu_{n1} C_{oxn1} \frac{W_{n,D}}{L_{n,D}}} = \frac{\mu_{n2} C_{oxn2} \frac{F \times W_{n,L}}{L_{n,L}}}{\mu_{n1} C_{oxn1} \frac{F \times W_{n,D}}{L_{n,D}}}$$

Ono što mora da se proveri i što mora da bude zbog održivosti naponskih nivoa jeste  $V_O < V_{Tn}$  da bi taj napon dao napon logičke jedinice. Kako je napon logičke jedinice  $V_{DD}$  po načinu kako smo radili on sigurno daje logičku nulu, i tu postoji održivost naponskih nivoa. Znači trebalo bi izabrati parametre tako da

$$\frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{V_{DD} (2V_C - V_{DD} - V_{Tn,L})}{V_{DD} - V_{Tn,D}} < V_{Tn,D}$$

Ali isto tako  $V_{O(IH)} < V_{IL}$  a bilo bi jako dobro da  $V_{O(IH)} < V_{Tn1}$

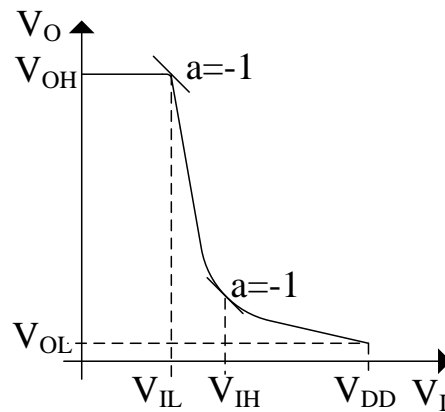
$$\frac{k_{n,L}}{k_{n,D}} (V_C - V_{Tn,L}) \left( 1 + \sqrt{1 + \frac{k_{n,D}}{k_{n,L}} \left( 1 - \frac{(V_C - V_{DD} - V_{Tn,L})^2}{(V_C - V_{Tn,L})^2} \right)} \right) < V_{Tn,D}$$

U svim ovim izrazima podešava se faktor  $\frac{k_{n,D}}{k_{n,L}}$  i obeležava sa  $\beta$  (mogućnost „drajvovanja“ izlaza)

$$\frac{1}{\beta} (V_C - V_{Tn2}) \left( 1 + \sqrt{1 + \beta \left( 1 - \frac{(V_C - V_{DD} - V_{Tn,L})^2}{(V_C - V_{Tn,L})^2} \right)} \right) < V_{Tn,D}$$

Uočiti da će za ovako izabran parametar biti ispunjen uslov  $V_{O(IL)} > V_{IH}$  potreban opet zbog održivosti naponskih nivoa.

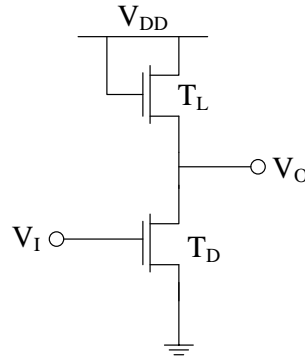
Karakteristika prenosa je



Bez želje da tražimo sada „tačne“ vrednosti ono što je evidentno jeste da izrazi liče na one koje smo dobili kada smo analizirali inverter sa pasivnim opterećenjem, kao i da sve ove parametre možemo da podešavamo odnosom  $\frac{k_{n,D}}{k_{n,L}}$  odnosno direktno odnosima  $\frac{W_{n,D}}{W_{n,L}}$ .

Rezultati koji su dobijeni ne bi trebalo da su iznenađujući pošto se tranzistor  $T_L$  ponaša kao dinamička otpornost. Kada je ulazni napon mali, odnosno izlazni napon visok, i napon  $V_{GS2}$  je mali, dinamička otpornost tranzistora  $T_L$   $r_{DSn,L} \approx \frac{1}{k_{n,L}(V_{GS,L} - V_{Tn,L})}$  je velika i obezbeđuje veliko pojačanje u prelaznoj zoni, dobru karakteristiku. Kada je ulazni napon visok, odnosno izlazni napon mali, i napon  $V_{GS,L}$  je veliki, dinamička otpornost tranzistora  $T_L$  je mala i obezbeđuje brzo punjenje kapacitivnosti koje opterećuju izlaz prilikom prelaska sa logičke nule na logičku jedinicu. Normalno ne može baš sve da se dobije idealno, pošto će ova mala dinamička otpornost uticati na napon logičke nule (povećavaće), strujni kapacitet logičke nule (smanjivaće) itd.

Za prethodni slučaj bi nam bio potreban kontrolni napon veći od napona napajanja odnosno trebao bi nam još jedan izvor napajanja. Zbog toga se na račun nekih performansi (videćemo kojih) gejt tranzistora  $T_L$  povezuje na napon napajanja  $V_{DD}$  i time se obezbeđuje da tranzistor  $T_L$  uvek vodi u zasićenju.



$$V_{GS,L} = V_{G,L} - V_{S,L} = V_{DD} - V_O$$

$$V_{DS,L} = V_{D,L} - V_{S,L} = V_{DD} - V_O$$

Uslov da radi u zasićenju

$$V_{DS,L} \geq V_{GS,L} - V_{Tn,L}$$

$$V_{DD} - V_O \geq V_{DD} - V_O - V_{Tn,L}$$

i uvek je ispunjen. Tranzistor  $T_2$  uvek radi u zasićenju. Uočiti da ovo važi i u slučaju kratkog kanala.

Za ulazni napon  $V_I < V_{Tn,D}$  tranzistor  $T_D$  je zakočen. Kolo je neoptrećeno  $I_{Dn,D} = 0 = I_{Dn,L}$ . Kako tranzistor  $T_L$  radi u zasićenju

$$I_{Dn,L} = \frac{k_{n,L}}{2} (V_{GS,L} - V_{Tn,L})^2 = 0$$

njegova radna tačka će se podesiti tako da je  $V_{GS,L} = V_{Tn,L}$ . To je jedina moguća radna tačka, Prema tome

$$V_O = V_{OH} = V_{DD} - V_{GS,L} = V_{DD} - V_{Tn,L}$$

(u odnosu na prethodni slučaj napon logičke jedinice je manji, a videćemo da je „još manji“)

Daljim porastom ulaznog napona  $V_I = V_{Tn,D} + \varepsilon$  tranzistor  $T_D$  počinje da vodi sa malom strujom. Visok mu je napon na drejnu pa radi u zasićenju.  $V_{DS,D} \geq V_{GS,D} - V_{Tn,D}$  odnosno  $V_O \geq V_I - V_{Tn,D}$ . Izjednačavanjem struja  $I_{Dn,L} = I_{Dn,D}$

$$\frac{k_{n,L}}{2} (V_{GS,L} - V_{Tn,L})^2 = \frac{k_{n,D}}{2} (V_{GS,D} - V_{Tn,D})^2$$

dolazimo do zavisnosti izlaznog od ulaznog napona koju možemo napisati u obliku

$$k_{n,L}(V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D}(V_I - V_{Tn,D})^2$$

Ako bi sada smatrali da se u toj oblasti nalazi  $V_{IL}$  i uradili diferenciranje leve i desne strane i zamenili da je  $\frac{\partial V_O}{\partial V_I} = -1$  dobijamo

$$2k_{n,L}(V_{DD} - V_O - V_{Tn,L}) = 2k_{n,D}(V_I - V_{Tn,D})$$

$$V_I = V_{Tn,D} + \frac{k_{n,L}}{k_{n,D}}(V_{DD} - V_O - V_{Tn,L})$$

Zamenom u polaznu jednačinu

$$k_{n,L}(V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D}\left(V_{Tn,D} + \frac{k_{n,L}}{k_{n,D}}(V_{DD} - V_O - V_{Tn,L}) - V_{Tn,D}\right)^2$$

$$k_{n,L}(V_{DD} - V_O - V_{Tn,L})^2 = k_{n,L}(V_{DD} - V_O - V_{Tn,L})^2$$

Ovaj iznenađujući rezultat pokazuje da suštinski u ovoj oblasti ne postoji tačka sa pojačanjem koje je jednako -1, ali isto tako i da je pojačanje konstantno (izraz važi za bilo koje  $V_O$ )

Da se vratimo na polaznu jednačinu:

$$k_{n,L}(V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D}(V_I - V_{Tn,D})^2$$

Mada smo rekli da to nećemo raditi ali ovde na lak način možemo izraziti  $V_O$  u funkciji  $V_I$

$$k_{n,L}(V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D}(V_I - V_{Tn,D})^2$$

$$V_O = V_{DD} - V_{Tn,L} - \sqrt{\frac{k_{n,D}}{k_{n,L}}}(V_I - V_{Tn,D})$$

pa je pojačanje u toj oblasti

$$a = \frac{dV_O}{dV_I} = -\sqrt{\frac{k_{n,D}}{k_{n,L}}}$$

konstantno. I da bi dobili logičko kolo

$$\sqrt{\frac{k_{n,D}}{k_{n,L}}} > 1$$

$$k_{n,D} > k_{n,L}$$

što i nije iznenađujući slučaj, sećajući se šta je bilo u prethodnoj situaciji. Ali ovo takođe pokazuje već iznet zaključak, da kolo odmah ulazi u zonu visokih pojačanja, i da ne postoji tačka gde je  $\frac{\partial V_O}{\partial V_I} = -1$  odnosno

$$V_{IL} = V_{Tn,D}$$

### DIGRESIJA

Mada tačku  $V_S$  u prethodnom slučaju nismo tražili ona ovde može da se izračuna na lak način

$$V_O = V_{DD} - V_{Tn,L} - \sqrt{\frac{k_{n,D}}{k_{n,L}}} (V_I - V_{Tn,D})$$

$$V_O = V_I = V_S$$

$$V_S = V_{DD} - V_{Tn,L} - \sqrt{\frac{k_{n,D}}{k_{n,L}}} (V_S - V_{Tn,D})$$

$$V_S = \frac{V_{DD} - V_{Tn,L} + V_{Tn,D} \sqrt{\frac{k_{n,D}}{k_{n,L}}}}{1 + \sqrt{\frac{k_{n,D}}{k_{n,L}}}}$$

I kao što se vidi može da se njen položaj podešava odnosom parametara  $\frac{k_{n,D}}{k_{n,L}}$ . Na primer ako bi želeli da je postavimo na polovinu napona napajanja.

$$V_S = V_{DD} - V_{Tn,L} - \sqrt{\frac{k_{n,D}}{k_{n,L}}} (V_S - V_{Tn,D})$$

$$\frac{V_{DD}}{2} = V_{DD} - V_{Tn,L} - \sqrt{\frac{k_{n,D}}{k_{n,L}}} \left( \frac{V_{DD}}{2} - V_{Tn,D} \right)$$

$$\sqrt{\frac{k_{n,D}}{k_{n,L}}} = \frac{\frac{V_{DD}}{2} - V_{Tn,L}}{\frac{V_{DD}}{2} - V_{Tn,D}}$$

Što je približno 1. Ali što može biti i manje od 1 a što je u suprotnosti sa ranije donetim zaključkom  $k_{n,D} > k_{n,L}$ . Teško ili nije moguće ostvariti da tačka  $V_S$  bude na polovini napona napajanja, pošto bi pojačanje u prelaznoj zoni bilo malo!

Daljim porastom ulaznog napona, napon na drejnu tranzistora  $T_D$  opada i kada je

$$V_O = V_{DS,D} = V_{GS,D} - V_{Tn,D} = V_I - V_{Tn,D}$$

tranzistor  $T_D$  ulazi u omsku oblast, pa je zavisnost ulaznog od izlaznog napona

$$\frac{k_{n,L}}{2} (V_{GS,L} - V_{Tn,L})^2 = \frac{k_{n,D}}{2} (2V_{DS,D} (V_{GS,D} - V_{Tn,D}) - V_{DS,D}^2)$$

$$k_{n,L} (V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D} V_O (2V_I - 2V_{Tn,D} - V_O)$$

Ako se u ovoj oblasti nalazi  $V_{IH}$  diferenciranjem leve i desne strane i izjednačavanjem  $\frac{\partial V_O}{\partial V_I} = -1$  dobijamo

$$2k_{n,L} (V_{DD} - V_O - V_{Tn,L}) = -k_{n,D} (2V_I - 2V_{Tn,D} - V_O) + k_{n,D} V_O (2 + 1)$$

$$2k_{n,L} (V_{DD} - V_O - V_{Tn,L}) = k_{n,D} (2V_O - 2V_I + 2V_{Tn,D})$$

$$V_I = V_{Tn,D} + V_O - \frac{k_{n,L}}{k_{n,D}} (V_{DD} - V_O - V_{Tn,L})$$

Zamenom u početni izraz

$$\begin{aligned} k_{n,L} (V_{DD} - V_O - V_{Tn,L})^2 \\ = k_{n,D} V_O \left( 2 \left( V_{Tn,D} + V_O - \frac{k_{n,L}}{k_{n,D}} (V_{DD} - V_O - V_{Tn,L}) \right) - 2V_{Tn,D} - V_O \right) \end{aligned}$$

$$k_{n,L} (V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D} V_O \left( V_O - 2 \frac{k_{n,L}}{k_{n,D}} (V_{DD} - V_O - V_{Tn,L}) \right)$$

I pod pretpostavkom da je  $V_O$  malo

$$k_{n,L} (V_{DD} - V_{Tn,L})^2 = k_{n,D} V_O \left( V_O - 2 \frac{k_{n,L}}{k_{n,D}} (V_{DD} - V_O - V_{Tn,L}) \right)$$

$$k_{n,D} V_O^2 - 2k_{n,L} (V_{DD} - V_{Tn,L}) V_O - k_{n,L} (V_{DD} - V_{Tn,L})^2 = 0$$

$$V_O = \frac{2k_{n,L} (V_{DD} - V_{Tn,L}) \pm \sqrt{(2k_{n,L} (V_{DD} - V_{Tn,L}))^2 + 4k_{n,D} k_{n,L} (V_{DD} - V_{Tn,L})^2}}{2k_{n,D}}$$

$$V_O = \frac{2k_{n,L} (V_{DD} - V_{Tn,L}) \pm 2k_{n,L} (V_{DD} - V_{Tn,L}) \sqrt{1 + \frac{k_{n,D}}{k_{n,L}}}}{2k_{n,D}}$$

Očigledno treba uzeti rešenje sa znakom plus

$$V_{O(IH)} \approx \frac{k_{n,L}}{k_{n,D}} (V_{DD} - V_{Tn,L}) \left( 1 + \sqrt{1 + \frac{k_{n,D}}{k_{n,L}}} \right)$$

$$V_{IH} \approx V_{Tn,D} + \frac{k_{n,L}}{k_{n,D}} (V_{DD} - V_{Tn,L}) \sqrt{1 + \frac{k_{n,D}}{k_{n,L}}}$$

Dok će se napon logičke nule dobiti kao rešenje jednačine

$$k_{n,L}(V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D}V_O(2V_I - 2V_{Tn,D} - V_O)$$

za  $V_I = V_{OH}$

$$k_{n,L}(V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D}V_O(2V_{OH} - 2V_{Tn,D} - V_O)$$

Uz  $V_{OL}$  malo

$$k_{n,L}(V_{DD} - V_{Tn,L})^2 = k_{n,D}V_O(2V_{OH} - 2V_{Tn,D})$$

$$V_{OL} \approx \frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{(V_{DD} - V_{Tn,L})^2}{(V_{DD} - V_{Tn,D})}$$

Ono što mora da se proveriti i što mora da bude zbog održivosti naponskih nivoa jeste  $V_O < V_{Tn}$  da bi taj napon dao napon logičke jedinice. Kako je napon logičke jedinice  $V_{DD}$  po načinu kako smo radili on sigurno daje logičku nulu, i tu postoji održivost naponskih nivoa. Znači trebalo bi izabrati parametre tako da

$$\frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{(V_{DD} - V_{Tn,L})^2}{(V_{DD} - V_{Tn,D})} < V_{Tn,D}$$

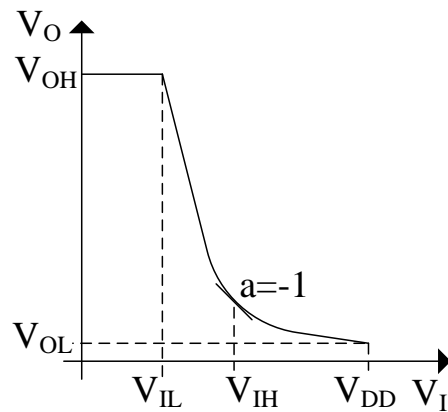
Ali isto tako  $V_{O(IH)} < V_{IL}$  a bilo bi jako dobro da  $V_{O(IH)} < V_{Tn1}$

$$\frac{k_{n,L}}{k_{n,D}} (V_{DD} - V_{Tn,L}) \left( 1 + \sqrt{1 + \frac{k_{n,D}}{k_{n,L}}} \right) < V_{Tn,D}$$

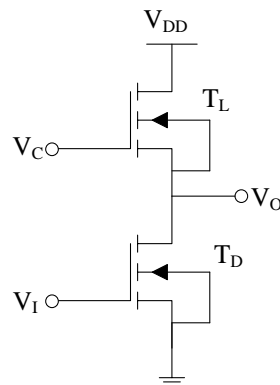
U svim ovim izrazima podešava se faktor  $\frac{k_{n,D}}{k_{n,L}}$  i obeležava sa  $\beta$

$$\frac{1}{\beta} (V_{DD} - V_{Tn,L}) (1 + \sqrt{1 + \beta}) < V_{Tn,D}$$

Karakteristika prenosa je

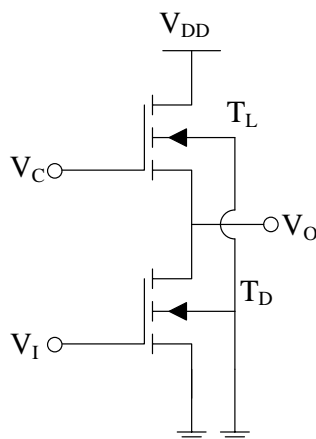


Ono što smo implicitno podrazumevali u prethodnim slučajevima je



Odnosno, da su substrati, osnove, tranzistora povezane na njihov sors i da nema polarizacija sors osnova, pogotovo za tranzistor  $T_L$ . To znači da su pragovi  $V_{Th,L}$  i  $V_{Th,D}$  konstantni i nezavisni od izlaznih i ulaznih napona. Na žalost to u praksi integriranih kola nije slučaj. U integriranoj tehnologiji tranzistori se prave na „istoj“ osnovi, i obezbediti da im se osnove nalaze na različitim potencijalima, je teško obezbediti.

U integriranoj tehnologiji kolo bi bilo realizovano na sledeći način





Zaista bi bili realizovani na istoj osnovi, pri čemu bi se ona povezala na najniži potencijal u kolu.  $V_{Tn,D}$  i dalje možemo smatrati konstantnim, ali će se  $V_{Tn,L}$  menjati u zavisnosti od potencijala sorsa, odnosno od razlike potencijala sorsa i osnove. Ta relacija je

$$V_{Tn} = V_{Tn0} + \gamma \left( \sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right)$$

gde je

$V_{SB}$  – razlika potencijala između sorsa i osnove

$\phi_F$  - Fermijev potencijal

$V_{Tn0}$  - prag uključenja tranzistora pri  $V_{SB}$

Uočiti da će neki naši izrazi i dalje biti u važnosti ali treba paziti koje i koliko  $V_{Tn,L}$  se zamenjuje. Treba ga izračunati, direktno, ili iterativno.

Na primer za slučaj kada tranzistor T2 uvek radi u zasićenju, našli smo da je

$$V_{OH} = V_{DD} - V_{Tn,L}$$

Ali uzimajući u obzir kako je  $T_L$  povezan u integrisanoj tehnologiji

$$V_{Tn,L} = V_{Tn0} + \gamma \left( \sqrt{|2\phi_F + V_{SB,L}|} - \sqrt{|2\phi_F|} \right)$$

Pri čemu je

$$V_{SB,L} = V_{S,L} - V_{B,L} = V_{OH} - 0 = V_{OH}$$

Znači

$$V_{OH} = V_{DD} - V_{Tn0} - \gamma \left( \sqrt{|2\phi_F + V_{OH}|} - \sqrt{|2\phi_F|} \right)$$

i to treba, i može da se reši, po  $V_{OH}$ . Bilo računanjem kvadratne jednačine, bilo iterativno. Ono što je uočljivo jeste da će napon  $V_{OH}$  značajno pasti. Slično važi i za tačku  $V_{OL}$ . Tačka  $V_{IL}$  ne zavisi od  $V_{Tn,L}$  ostaje ista. Na žalost ovo ne važi za tačku i  $V_{IH}$  pošto postoji zavisnost napona praga od napona sors – osnovna, odnosno od izlaznog napona

$$\text{Zavisnost } k_{n,L}(V_{DD} - V_O - V_{Tn,L})^2 = k_{n,D}V_O(2V_I - 2V_{Tn,D} - V_O)$$

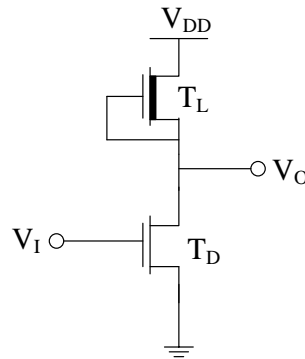
Diferenciranje samo leve strane, da vidimo šta se dešava

$$\begin{aligned} & 2k_{n,L}(V_{DD} - V_O - V_{Tn,L}) - 2k_{n,L}(V_{DD} - V_O - V_{Tn,L}) \frac{\partial V_{Tn,L}}{\partial V_I} \\ & = 2k_{n,L}(V_{DD} - V_O - V_{Tn,L}) - 2k_{n,L}(V_{DD} - V_O - V_{Tn,L}) \frac{\partial V_{Tn,L}}{\partial V_O} \frac{\partial V_O}{\partial V_I} \end{aligned}$$

Račun se dosta usložnjava, ali ga je moguće iterativno uraditi.

## Invertor u nMOS tehnologiji sa aktivnim opterećenjem na izlazu u vidu nMOS tranzistora sa ugrađenim kanalom

Sa istom idejom kao i u prethodnom slučaju, povećanja strujnog kapaciteta logičke jedinice i lakšu kontrolabilnost karakteristike prenosa, kao opterećenje se pojavljuje i tranzistor sa ugrađenim kanalom kod koga su gejt i sors kratko spojeni.



Kako već postoji kanal, odnosno  $V_{Tn,L}$  je po prirodi negativno, uvek će važiti

$$V_{GS,L} = 0 > V_{Tn,L}$$

odnosno tranzistor  $T_L$  uvek vodi

Za ulazni napon  $V_I < V_{Tn,D}$  tranzistor  $T_D$  je zakočen. Kolo je neoptrećeno  $I_{Dn,D} = 0 = I_{Dn,L}$ . Kako tranzistor  $T_L$  radi, mora raditi u omskoj oblasti

$$I_{Dn,L} = \frac{k_{n,L}}{2} (2V_{DS,L}(V_{GS,L} - V_{Tn,L}) - V_{DS,L}^2) = 0$$

kako bi se njegova radna tačka podesila tako da je  $V_{DS,L} = 0$ , što daje  $I_{Dn,L} = 0$ . To je jedina moguća radna tačka nezavisno od napona  $V_{GS,L}$ .

Da smo pretpostavili da radi u zasićenju

$$I_{Dn,L} = \frac{k_{n,L}}{2} (V_{GS,L} - V_{Tn,L})^2 = \frac{k_{n,L}}{2} (-V_{Tn,L})^2 > 0$$

Izraz pokazuje da nije moguće da tranzistor  $T_L$  radi u zasićenju sa strujom drejna jednakom nuli. Prema tome

$$V_O = V_{OH} = V_{DD} - V_{DS,L} = V_{DD}$$

Daljim porastom ulaznog napona  $V_I = V_{Tn,D} + \varepsilon$  tranzistor  $T_D$  počinje da vodi sa malom strujom. Visok mu je napon na drejnu pa radi u zasićenju.  $V_{DS,D} \geq V_{GS,D} - V_{Tn,D}$  odnosno  $V_O \geq V_I - V_{Tn,D}$ .

Izjednačavanjem struja  $I_{Dn,L} = I_{Dn,D}$

$$\frac{k_{n,L}}{2} (2V_{DS,L}(V_{GS,L} - V_{Tn,L}) - V_{DS,L}^2) = \frac{k_{n,D}}{2} (V_{GS,D} - V_{Tn,D})^2$$

odnosno

$$\frac{k_{n,L}}{2} (2(V_{DD} - V_O)(-V_{Tn,L}) - (V_{DD} - V_O)^2) = \frac{k_{n,D}}{2} (V_I - V_{Tn,D})^2$$

dolazimo do zavisnosti izlaznog od ulaznog napona koju možemo napisati u obliku

$$k_{n,L}(V_{DD} - V_O) (-2V_{Tn,L} - (V_{DD} - V_O)) = k_{n,D}(V_I - V_{Tn,D})^2$$

Ako bi sada smatrali da se u toj oblasti nalazi  $V_{IL}$  i uradili diferenciranje leve i desne strane i zamenili da je  $\frac{\partial V_O}{\partial V_I} = -1$  dobijamo

$$k_{n,L} (-2V_{Tn,L} - (V_{DD} - V_O)) - k_{n,L}(V_{DD} - V_O) = 2k_{n,D}(V_I - V_{Tn,D})$$

$$k_{n,L} (-2V_{Tn,L} - 2(V_{DD} - V_O)) = 2k_{n,D}(V_I - V_{Tn,D})$$

$$V_I = V_{Tn,D} + \frac{k_{n,D}}{k_{n,L}} (-V_{Tn,L} - (V_{DD} - V_O))$$

Zamenom u polaznu jednačinu

$$\begin{aligned} k_{n,L}(V_{DD} - V_O) (-2V_{Tn,L} - (V_{DD} - V_O)) \\ = k_{n,D} \left( V_{Tn,D} + \frac{k_{n,D}}{k_{n,L}} (-V_{Tn,L} - (V_{DD} - V_O)) - V_{Tn,D} \right)^2 \end{aligned}$$

$$k_{n,L}(V_{DD} - V_O) (-2V_{Tn,L} - (V_{DD} - V_O)) = \frac{(k_{n,L})^2}{k_{n,D}} (-V_{Tn,L} - (V_{DD} - V_O))^2$$

$$k_{n,D}(V_{DD} - V_O) (-2V_{Tn,L} - (V_{DD} - V_O)) = k_{n,L} (-V_{Tn,L} - (V_{DD} - V_O))^2$$

Opet je slična situacija, zgodno je pisati po  $V_{DD} - V_O$

$$\begin{aligned} -k_{n,D}(V_{DD} - V_O)^2 - 2V_{Tn,L}k_{n,D}(V_{DD} - V_O) \\ = k_{n,L}((V_{DD} - V_O)^2 + 2V_{Tn,L}(V_{DD} - V_O) + V_{Tn,L}^2) \end{aligned}$$

$$(k_{n,D} + k_{n,L})(V_{DD} - V_O)^2 + 2V_{Tn,L}(k_{n,D} + k_{n,L})(V_{DD} - V_O) + V_{Tn,L}^2 k_{n,L} = 0$$

$$V_{DD} - V_O = \frac{-2V_{Tn,L}(k_{n,D} + k_{n,L}) \pm \sqrt{(2V_{Tn,L}(k_{n,D} + k_{n,L}))^2 - V_{Tn,L}^2 k_{n,L}(k_{n,D} + k_{n,L})}}{2(k_{n,D} + k_{n,L})}$$

$$V_{DD} - V_O = -V_{Tn,L} \left( 1 + \sqrt{1 - \frac{k_{n,L}}{(k_{n,D} + k_{n,L})}} \right) = -V_{Tn,L} \left( 1 + \sqrt{\frac{k_{n,D}}{k_{n,D} + k_{n,L}}} \right)$$

$$V_{O(IL)} = V_{DD} + V_{Tn,L} \left( 1 + \sqrt{\frac{k_{n,D}}{k_{n,D} + k_{n,L}}} \right)$$

$$V_{IL} = V_{Tn,D} - V_{Tn,L} \frac{k_{n,L}}{k_{n,D}} \sqrt{\frac{k_{n,D}}{k_{n,D} + k_{n,L}}}$$

Daljim porastom ulaznog napona, napon na drejnu tranzistora  $T_D$  opada, napon između drejna i sorsa tranzistora  $T_L$  raste i kada je

$$V_{DS,D} = V_O \geq V_{GS,D} - V_{Tn,D} = V_I - V_{Tn,D}$$

$$V_{DS,L} = V_{DD} - V_O \geq V_{GS,L} - V_{Tn,L} = -V_{Tn,L}$$

Odnosno

$$V_O \geq V_I - V_{Tn,D}$$

$$V_O \leq V_{DD} + V_{Tn,L}$$

postoje uslovi da i tranzistor  $T_D$  i tranzistor  $T_L$  rade u zasićenju. Tada je

$$\frac{k_{n,L}}{2} (V_{GS,L} - V_{Tn,L})^2 = \frac{k_{n,D}}{2} (V_{GS,D} - V_{Tn,D})^2$$

$$k_{n,L} (-V_{Tn,L})^2 = k_{n,D} (V_I - V_{Tn,D})^2$$

$$V_I = V_{Tn,D} - V_{Tn,L} \sqrt{\frac{k_{n,L}}{k_{n,D}}}$$

I praktično prvi put od kako smo krenuli sa analizom logičkih kola u karakteristici prenosa  $V_O = f(V_I)$  dobijamo „vertikalnu“ pravu odnosno oblast gde je pojačanje beskonačno. Kao što nam treba za „idealno logičko kolo“. U realnosti to baš i nije slučaj pošto smo zanemarili i efekat kratkog kanala i efekat skraćenja dužine kanala. Pravi izraz bi glasio

$$\frac{k_{n,L}}{1 + \frac{-V_{Tn,L}}{E_{Cn} L_{n,L}}} (-V_{Tn,L})^2 \left( 1 + \lambda_{n,L} (V_{DD} - V_O) \right) = \frac{k_{n,D}}{1 + \frac{V_I - V_{Tn,D}}{E_{Cn} L_{n,D}}} (V_I - V_{Tn,D})^2 (1 + \lambda_{n,D} V_O)$$

odnosno, to ne bi bila vertikalna linija, ali bi pojačanje zaista bilo jako veliko.

Sada je lako izračunati i tačku  $V_S$  pošto će se ona verovatno naći u ovoj oblasti, odnosno možemo direktno da pišemo

$$V_S = V_{Tn,D} - V_{Tn,L} \sqrt{\frac{k_{n,L}}{k_{n,D}}}$$

Pošto je to istovremeno i napon  $V_O$  pod tim uslovima jedino što treba proveriti da li su za taj izlazni napon tranzistori zaista u zasićenju, odnosno

$$\left( V_{Tn,D} - V_{Tn,L} \sqrt{\frac{k_{n,L}}{k_{n,D}}} \right) \geq \left( V_{Tn,D} - V_{Tn,L} \sqrt{\frac{k_{n,L}}{k_{n,D}}} \right) - V_{Tn,D}$$

$$\left( V_{Tn,D} - V_{Tn,L} \sqrt{\frac{k_{n,L}}{k_{n,D}}} \right) \leq V_{DD} + V_{Tn,L}$$

Kao što se vidi uslov za tranzistor  $T_D$  je sigurno ispunjen, a za tranzistor  $T_L$  kada se preuredi

$$V_{Tn,D} - V_{Tn,L} \left( 1 + \sqrt{\frac{k_{n,L}}{k_{n,D}}} \right) \leq V_{DD}$$

ili da bi bilo jasnije pošto je  $V_{Tn,L} < 0$

$$V_{Tn,D} + |V_{Tn,L}| \left( 1 + \sqrt{\frac{k_{n,L}}{k_{n,D}}} \right) \leq V_{DD}$$

što u mnogim praktičnim slučajevima može da se ispuni. Ako smo još hteli da tačku  $V_S$  postavimo na polovinu napona napajanja, što možemo odnosom  $\frac{k_{n,L}}{k_{n,D}}$

$$V_S = \frac{V_{DD}}{2} = V_{Tn,D} - V_{Tn,L} \sqrt{\frac{k_{n,L}}{k_{n,D}}}$$

$$\sqrt{\frac{k_{n,L}}{k_{n,D}}} = \frac{\frac{V_{DD}}{2} - V_{Tn,D}}{|V_{Tn,L}|}$$

Uslov da tranzistor  $T_2$  radi u zasićenju

$$V_{Tn,D} + |V_{Tn,L}| \left( 1 + \frac{\frac{V_{DD}}{2} - V_{Tn,D}}{|V_{Tn,L}|} \right) \leq V_{DD} \Rightarrow \frac{V_{DD} - V_{Tn,D}}{\frac{V_{DD}}{2} - V_{Tn,D} + |V_{Tn,L}|} \geq 1$$

što u praktičnim slučajevima jeste ispunjeno

Daljim porastom ulaznog napona, napon na drejnu tranzistora  $T_D$  opada, napon između drejna i sorsa tranzistora  $T_L$  raste. Tranzistor  $T_L$  ostaje u zasićenju, ali tranzistor  $T_D$  počinje da radi u omskoj oblasti

$$\frac{k_{n,L}}{2} (V_{GS,L} - V_{Tn,L})^2 = \frac{k_{n,D}}{2} (2V_{DS,D} (V_{GS,D} - V_{Tn,D}) - V_{DS,D}^2)$$

$$k_{n,L} (-V_{Tn,L})^2 = k_{n,D} V_O (2(V_I - V_{Tn,D}) - V_O)$$

Ako se u ovoj oblasti nalazi  $V_{IH}$  diferenciranjem leve i desne strane i izjednačavanjem  $\frac{\partial V_O}{\partial V_I} = -1$  dobijamo

$$0 = -k_{n,D} (2(V_I - V_{Tn,D}) - V_O) + k_{n,D} V_O (2 + 1)$$

$$V_I = V_{Tn,D} + 2V_O$$

Zamenom u polazni izraz

$$k_{n,L} (-V_{Tn,L})^2 = k_{n,D} V_O (2(V_I - V_{Tn,D}) - V_O)$$

$$V_{O(IH)} = -V_{Tn,L} \sqrt{\frac{k_{n,L}}{3k_{n,D}}}$$

$$V_{IH} = V_{Tn,D} - 2V_{Tn,L} \sqrt{\frac{k_{n,L}}{3k_{n,D}}}$$

$$V_{IH} = V_{Tn,D} - V_{Tn,L} \sqrt{\frac{4k_{n,L}}{3k_{n,D}}}$$

Napon logičke nule se dobija iz izraza

$$k_{n,L} (-V_{Tn,L})^2 = k_{n,D} V_O (2(V_I - V_{Tn,D}) - V_O)$$

za  $V_I = V_{OH}$

$$k_{n,L} (-V_{Tn,L})^2 = k_{n,D} V_O (2(V_{OH} - V_{Tn,D}) - V_O)$$

Uz  $V_{OL}$  malo

$$k_{n,L} (-V_{Tn,L})^2 = k_{n,D} V_O (2(V_{OH} - V_{Tn,D}))$$

$$V_{OL} \approx \frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{(-V_{Tn,L})^2}{V_{DD} - V_{Tn,D}}$$

Ono što mora da se proveriti i što mora da bude zbog održivosti naponskih nivoa jeste  $V_O < V_{Tn}$  da bi taj napon dao napon logičke jedinice. Kako je napon logičke jedinice  $V_{DD}$  po načinu kako smo radili on sigurno daje logičku nulu, i tu postoji održivost naponskih nivoa. Znači trebalo bi izabrati parametre tako da

$$\frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{(-V_{Tn,L})^2}{V_{DD} - V_{Tn,D}} < V_{Tn,D}$$

Ali isto tako  $V_{O(IH)} < V_{IL}$  a bilo bi jako dobro da  $V_{O(IH)} < V_{Tn1}$

$$-V_{Tn,L} \sqrt{\frac{k_{n,L}}{3k_{n,D}}} < V_{Tn1}$$

U svim ovim izrazima podešava se faktor  $\frac{k_{n,D}}{k_{n,L}}$  i obeležava sa  $\beta$

$$-V_{Tn,L} \sqrt{\frac{1}{3\beta}} < V_{Tn,D}$$

$$\beta > \frac{1}{3} \left( \frac{-V_{Tn,L}}{V_{Tn,D}} \right)^2$$

Uočiti da će za ovako izabran parametar biti ispunjen uslov  $V_{O(IL)} > V_{IH}$  potreban opet zbog održivosti naponskih nivoa.

I ovo mora da bude da bi bilo logičko kolo. Ali se postavlja pitanje da li je moguće ostvariti druge uslove. Na primer da  $V_S$  bude na polovini napona napajanja

$$\sqrt{\frac{k_{n,L}}{k_{n,D}}} = \frac{\frac{V_{DD}}{2} - V_{Tn,D}}{|V_{Tn,L}|} \Rightarrow \sqrt{\frac{1}{\beta}} = \frac{\frac{V_{DD}}{2} - V_{Tn,D}}{|V_{Tn,L}|} \Rightarrow \beta = \left( \frac{|V_{Tn,L}|}{\frac{V_{DD}}{2} - V_{Tn,D}} \right)^2$$

$$\left( \frac{|V_{Tn,L}|}{\frac{V_{DD}}{2} - V_{Tn,D}} \right)^2 > \frac{1}{3} \left( \frac{|V_{Tn,L}|}{V_{Tn,D}} \right)^2$$

$$\frac{V_{Tn,D}}{\frac{V_{DD}}{2} - V_{Tn,D}} > \frac{1}{\sqrt{3}}$$

$$V_{Tn,D}(\sqrt{3} + 1) > \frac{V_{DD}}{2}$$

Znači dosta je teško obezbediti da oblast velikih pojačanja kao i tačka  $V_S$  budu na polovini napona napajanja.

## DIGRESIJA:

Pošto je ovde relativno lako, hajde da tačno izračunamo  $V_{OL}$

$$k_{n,L}(-V_{Tn,L})^2 = k_{n,D}V_{OL}(2(V_{OH} - V_{Tn,D}) - V_{OL})$$

$$V_{OL}^2 - 2(V_{DD} - V_{Tn,D})V_{OL} + \frac{k_{n,D}}{k_{n,L}}(-V_{Tn,L})^2 = 0$$

$$V_{OL} = \frac{2(V_{DD} - V_{Tn,D}) \pm \sqrt{4(V_{DD} - V_{Tn,D})^2 - 4\frac{k_{n,D}}{k_{n,L}}(-V_{Tn,L})^2}}{2}$$

I ono što ste verovatno već uočili mora se biti oprezan prilikom tumačenja znaka plus minus, odnosno koje od ova dva rešenja predstavlja realno rešenje za kolo. U ovom slučaju ako bi uzeli znak plus, dobili bi rezultat koji je veći od  $(V_{DD} - V_{Tn,D})$  što za naše kolo nema smisla niti je moguće. Znači znak minus.

$$V_{OL} = \frac{2(V_{DD} - V_{Tn,D}) - 2(V_{DD} - V_{Tn,D}) \sqrt{1 - 4\frac{k_{n,D}}{k_{n,L}} \frac{(-V_{Tn,L})^2}{4(V_{DD} - V_{Tn,D})^2}}}{2}$$

$$V_{OL} = (V_{DD} - V_{Tn,D}) \left( 1 - \sqrt{1 - \frac{k_{n,D}}{k_{n,L}} \frac{(-V_{Tn,L})^2}{(V_{DD} - V_{Tn,D})^2}} \right)$$

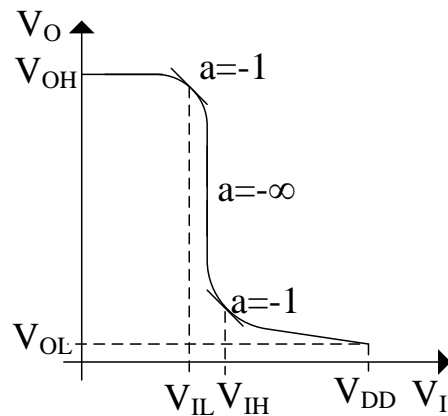
$$V_{OL} \approx (V_{DD} - V_{Tn,D}) \left( 1 - \left( 1 - \frac{1}{2} \frac{k_{n,D}}{k_{n,L}} \frac{(-V_{Tn,L})^2}{(V_{DD} - V_{Tn,D})^2} \right) \right)$$

$$V_{OL} \approx (V_{DD} - V_{Tn,D}) \left( \frac{1}{2} \frac{k_{n,D}}{k_{n,L}} \frac{(-V_{Tn,L})^2}{(V_{DD} - V_{Tn,D})^2} \right) = \frac{1}{2} \frac{k_{n,D}}{k_{n,L}} \frac{(-V_{Tn,L})^2}{V_{DD} - V_{Tn,D}}$$

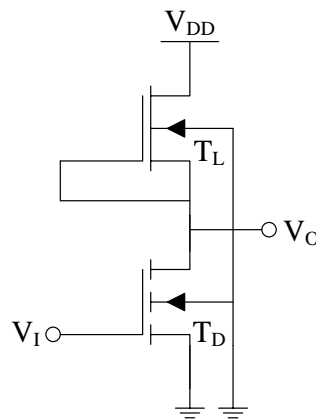
Isti rezultat!



Karakteristika prenosa je



I ovde postoji problem sa polarizacijom osnove tranzistora  $T_L$



odnosno promenom napona  $V_{Tn,L}$  u zavisnosti od napona  $V_{SB,L}$ . Međutim ono što može da se izvede kao zaključak jeste da ovo neće uticati na napon  $V_{OH}$  (tranzistor radi u omskoj oblasti sa  $V_{DS,L}=0$ ). I da će malo uticati na napon  $V_{OL}$  kada je  $V_{SB,L} \approx 0$ . Na ostale tačke će uticati, ali na sličan način kao i u prethodnom slučaju možemo odrediti te tačke.

Ono što treba uočiti jeste i da zbog ovog efekta oblast beskonačnog pojačanja takođe „neće postojati“. Postojeće oblast kada tranzistori  $T_1$  i  $T_2$  oba rade u zasićenju i važiće

$$\frac{B_{n2}}{2} (V_{GS2} - V_{Tn2})^2 = \frac{B_{n1}}{2} (V_{GS1} - V_{Tn1})^2$$

$$B_{n2} (-V_{Tn2})^2 = B_{n1} (V_I - V_{Tn1})^2$$

$$V_I = V_{Tn1} - V_{Tn2} \sqrt{\frac{B_{n2}}{B_{n1}}}$$

Ali je sada  $V_{Tn2} = f(V_O)$  pošto napon je zavisnost  $V_{Tn2}$  od izlaznog napona

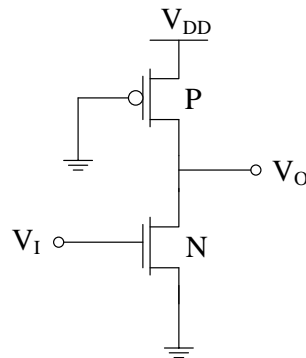
$$V_{Tn,L} = V_{Tn0} + \gamma \left( \sqrt{|2\phi_F + V_{SB,L}|} - \sqrt{|2\phi_F|} \right)$$

$$V_{Tn,L} = V_{Tn0} + \gamma \left( \sqrt{|2\phi_F + V_O|} - \sqrt{|2\phi_F|} \right)$$

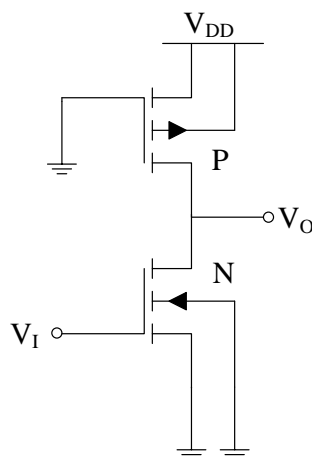
pa će i  $V_I$  biti u zavisnosti od  $V_O$ . Treba biti orezan sa tumačenjem  $\gamma$  kod tranzistora sa ugrađenim kanalom. Da li je i dalje pozitivno ili je možda negativno, za tranzistor sa ugrađenim kanlom?

## Invertor u pseudo nMOS tehnologiji

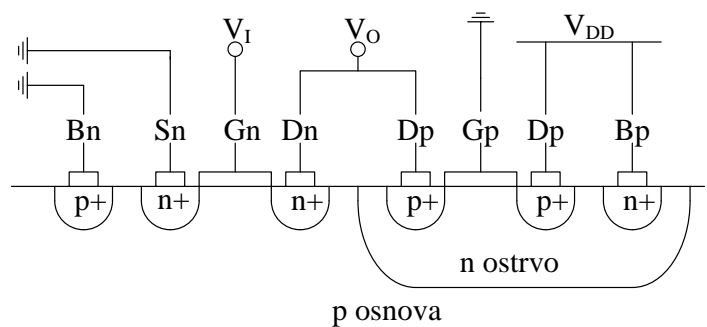
Kako je tehnologija u izradi integrisanih kola postalo je moguće realizovati p kanalne MOSFET tranzistore na istoj podlozi a da imaju „dobre“ karakteristike. Ideja je da se kao opterećenje upotrebi pMOS FET tranzistor koji takođe uvek vodi.



Uočiti da ovde ne postoji problem polarizacija osnova pošto je sors tranzistora P na potencijalu  $V_{DD}$ , a i njegova osnova je povezana sa sorsom.



Osnove tranzistora P i N nisu iste, bez obzira što se nalaze na istoj podlozi. Pošto je jedna osnova p tipa (N tranzistor), a druga n tipa (P tranzistor), povezivanjem p osnove na masu i n osnove na  $V_{DD}$  je nema uticaja na rad tranzistora („inverzno polarizvana dioda“).



U ovoj konfiguraciji tranzistor P uvek vodi.

$$V_{GS,P} = V_{G,P} - V_{S,P} = 0 - V_{DD} = V_{DD} < V_{Tp}$$

(ne zaboravite  $V_{Tp} < 0$  za pMOS FET)

Za ulazni napon  $V_I < V_{Tn}$  tranzistor N je zakočen. Kolo je neoptrećeno  $I_{Dn} = 0 = I_{Dp}$ . Kako tranzistor P radi, mora raditi u omskoj oblasti

$$I_{Dp} = \frac{k_p}{2} (2V_{DS,P}(V_{GS,P} - V_{Tp}) - V_{DS,P}^2) = 0$$

kako bi se njegova radna tačka podesila tako da je  $V_{DS,P} = 0$ , što daje  $I_{Dp} = 0$ . To je jedina moguća radna tačka nezavisno od napona  $V_{GS,P}$ .

Da smo pretpostavili da radi u zasićenju

$$I_{Dp} = \frac{k_p}{2} (V_{GS,P} - V_{Tp})^2 = \frac{k_p}{2} (-V_{DD} - V_{Tp})^2 > 0$$

Izraz pokazuje da nije moguće da tranzistor P radi u zasićenju sa strujom drejna jednakom nuli.

Prema tome

$$V_O = V_{OH} = V_{DD} - V_{DS,P} = V_{DD}$$

Daljim porastom ulaznog napona  $V_I = V_{Tn} + \varepsilon$  tranzistor N počinje da vodi sa malom strujom. Visok mu je napon na drejnu pa radi u zasićenju.  $V_{DS,N} \geq V_{GS,N} - V_{Tn}$  odnosno  $V_O \geq V_I - V_{Tn}$ .

Izjednačavanjem struja  $I_{Dp} = I_{Dn}$

$$\frac{k_p}{2} (2V_{DS,P}(V_{GS,P} - V_{Tp}) - V_{DS,P}^2) = \frac{k_n}{2} (V_{GS,N} - V_{Tn})^2$$

dolazimo do zavisnosti izlaznog od ulaznog napona koju možemo napisati u obliku

$$k_p (2(V_O - V_{DD})(-V_{DD} - V_{Tp}) - (V_O - V_{DD})^2) = \frac{k_n}{2} (V_I - V_{Tn})^2$$

Ako bi sada smatrali da se u toj oblasti nalazi  $V_{IL}$  i uradili diferenciranje leve i desne strane i zamenili da je  $\frac{\partial V_O}{\partial V_I} = -1$  dobijamo

$$k_p (-2(V_{DD} + V_{Tp}) - (V_O - V_{DD})) - k_p (V_O - V_{DD}) = 2k_n (V_I - V_{Tn})$$

$$k_p (-2(V_{DD} + V_{Tp}) - 2(V_O - V_{DD})) = 2k_n (V_I - V_{Tn1})$$

$$V_I = V_{Tn} + \frac{k_p}{k_n} \left( -(V_{DD} + V_{Tp}) - (V_O - V_{DD}) \right) = V_{Tn} + \frac{k_p}{k_n} (-V_{Tp} - V_O)$$

Da bi uočili sličnost sa prethodnim izvođenjima (opterećenje tranzistor sa ugrađenim kanalom smatraćemo  $V_{DD} + V_{Tp} = V_2$  pošto je ovaj napon konstantan. Zamenom u polaznu jednačinu

$$k_p(V_O - V_{DD})(-2V_2 - (V_O - V_{DD})) = k_n \left( V_{Tn} + \frac{k_p}{k_n} (-V_2 - (V_O - V_{DD})) - V_{Tn} \right)^2$$

$$k_p(V_O - V_{DD})(-2V_2 - (V_O - V_{DD})) = \frac{(k_p)^2}{k_n} (-V_2 - (V_O - V_{DD}))^2$$

$$k_n(V_O - V_{DD})(-2V_2 - (V_O - V_{DD})) = k_p(-V_2 - (V_O - V_{DD}))^2$$

Opet je slična situacija, zgodno je pisati po  $V_{DD} - V_O$

$$k_n(V_O - V_{DD})^2 - 2k_n V_2 (V_O - V_{DD}) = k_p((V_O - V_{DD})^2 + 2V_2(V_O - V_{DD}) + V_2^2)$$

$$(k_n + k_p)(V_O - V_{DD})^2 + 2V_2(k_n + k_p)(V_O - V_{DD}) + V_2^2 k_p = 0$$

$$V_O - V_{DD} = \frac{-2V_2(k_n + k_p) \pm \sqrt{(2V_2(k_n + k_p))^2 - 4V_2^2 k_p(k_n + k_p)}}{2(k_n + k_p)}$$

I sve do ovog trenutka, nadam se da ste to uočili, potpuno imamo identične izraze kao i kod nMOS invertora kod kojeg je opterećenje tranzistor sa ugrađenim kanalom pri čemu je „identičnost“  $V_{Tn,L} \leftrightarrow V_2 = V_{DD} + V_{Tp}$ . Znači mogli smo i da koristimo gotova rešenja samo da vodimo računa o znacima. Praktično tranzistori se identično ponašaju. Oba imaju konstantan napon između gejta i sorsa i oba imaju uvek uslove da uvek vode. Zato neće biti ni iznenađenje što ćemo dobiti „iste“ karakteristike u nastavku.

$$V_O - V_{DD} = -(V_2) \left( 1 - \sqrt{1 - \frac{k_p}{k_n + k_p}} \right) = -(V_{DD} + V_{Tp}) \left( 1 - \sqrt{\frac{k_n}{k_n + k_p}} \right)$$

$$V_{O(IL)} = -V_{Tp} + (V_{DD} + V_{Tp}) \sqrt{\frac{k_n}{k_n + k_p}}$$

$$V_I = V_{Tn} + \frac{k_p}{k_n} \left( -(V_{DD} + V_{Tp}) - (V_O - V_{DD}) \right)$$

$$V_{IL} = V_{Tn} + (V_{DD} + V_{Tp}) \frac{k_p}{k_n} \sqrt{\frac{k_p}{k_p + k_n}}$$

**DIGRESIJA****PONOVO: Važno je da uočite**

$$V_{IL} = V_{Tn} + (V_{DD} + V_{Tp}) \frac{k_p}{k_n} \sqrt{\frac{k_p}{k_p + k_n}} = V_{Tn} + (V_{DD} + V_{Tp}) \frac{k_p}{k_n} \sqrt{\frac{\frac{k_p}{k_n}}{1 + \frac{k_p}{k_n}}}$$

da se ništa neće promeniti ni ovde a ni na drugim mestima ako na primer povećamo obe širine tranzistora istim faktorom, pošto nam se stalno pojavljuju odnosi

$$\frac{k_p}{k_n} = \frac{\mu_p C_{oxp} \frac{W_p}{L_p}}{\mu_n C_{oxn} \frac{W_n}{L_n}} = \frac{\mu_p C_{oxp} \frac{F \times W_p}{L_p}}{\mu_n C_{oxn} \frac{F \times W_n}{L_n}}$$

Daljim porastom ulaznog napona, napon na drejnu tranzistora N opada, napon između sorsa i drejna tranzistora P raste i kada je

$$V_{DS,N} = V_O \geq V_{GS,N} - V_{Tn} = V_I - V_{Tn}$$

$$V_{DS,P} = V_O - V_{DD} \leq V_{GS,P} - V_{Tp} = -V_{DD} - V_{Tp}$$

Odnosno

$$V_O \geq V_I - V_{Tn}$$

$$V_O \leq -V_{Tp}$$

postoje uslovi da i tranzistor T1 i tranzistor T2 rade u zasićenju. Tada je

$$\frac{k_p}{2} (V_{GS,P} - V_{Tp})^2 = \frac{k_n}{2} (V_{GS,N} - V_{Tn})^2$$

$$k_p (-V_{DD} - V_{Tp})^2 = k_n (V_I - V_{Tn})^2$$

$$V_I = V_\infty = V_{Tn} + (V_{DD} + V_{Tp}) \sqrt{\frac{k_p}{k_n}}$$

Opet smo dobili beskonačno pojačanje. Ali i da se podsetimo u realnosti to baš i nije slučaj pošto smo zanemarili i efekat kratkog kanala i efekat skraćanja dužine kanala. odnosno, to ne bi bila vertikalna linija, ali bi pojačanje zaista bilo jako veliko. Pravi izraz bi glasio

$$\frac{k_p}{1 + \frac{-V_{DD} - V_{Tp}}{E_{cp} L_p}} (-V_{DD} - V_{Tp})^2 (1 + \lambda_p (V_O - V_{DD})) = \frac{k_n}{1 + \frac{V_I - V_{Tn}}{E_{cn} L_n}} (V_I - V_{Tn})^2 (1 + \lambda_n V_O)$$

## DIGRESIJA

Da vidimo uslove koji moraju biti zadovoljeni i šta je moguće postići.

Da bi oblast beskonačnih pojačanja bila na polovini napona napajanja, uslov je

$$V_{\infty} = V_{Tn} + (V_{DD} + V_{Tp}) \sqrt{\frac{k_p}{k_n}} = \frac{V_{DD}}{2}$$

odnosno

$$\sqrt{\frac{k_p}{k_n}} = \frac{\frac{V_{DD}}{2} - V_{Tn}}{V_{DD} + V_{Tp}}$$

što je moguće postići. Međutim ako želimo i da tačku  $V_S$  postavimo u ovoj oblasti

$$V_S = V_{Tn} + (V_{DD} + V_{Tp}) \sqrt{\frac{k_p}{k_n}}$$

Pošto je to istovremeno i napon  $V_O$  pod tim uslovima jedino što treba proveriti da li su za taj izlazni napon tranzistori zaista u zasićenju,

$$V_O \geq V_I - V_{Tn}$$

$$V_O \leq -V_{Tp}$$

odnosno

$$\left( V_{Tn} + (V_{DD} + V_{Tp}) \sqrt{\frac{k_p}{k_n}} \right) \geq \left( V_{Tn} + (V_{DD} + V_{Tp}) \sqrt{\frac{k_p}{k_n}} \right) - V_{Tn}$$

$$\left( V_{Tn} + (V_{DD} + V_{Tp}) \sqrt{\frac{k_p}{k_n}} \right) \leq -V_{Tp}$$

Kao što se vidi uslov za tranzistor T1 je sigurno ispunjen, a za tranzistor T2 kada se preuredi

$$\sqrt{\frac{k_p}{k_n}} \leq \frac{-V_{Tp} - V_{Tn}}{V_{DD} + V_{Tp}}$$

ili da bi bilo jasnije pošto je  $V_{Tp2} < 0$

$$\sqrt{\frac{k_p}{k_n}} \leq \frac{|V_{Tp}| - V_{Tn}}{V_{DD} + V_{Tp}}$$

Da bi tačka  $V_S$  uopšte ležala u ovoj oblasti beskonačnih pojačanja, vidi se da mora biti

$$|V_{Tp}| > V_{Tn} \text{ i } k_p \ll k_n$$

Međutim kako je u praktičnim slučajevima  $|V_{Tp2}| \approx V_{Tn1}$  ovaj uslov ne može biti postignut. Što se vidi i na primer iz situacije ako bi smo još hteli da tačku  $V_S$  postavimo na polovinu napona napajanja. Uslov da tranzistor T2 radi u zasićenju bi tada bio

$$\frac{V_{DD}}{2} \leq -V_{Tp}$$

što je uz ostale uslove nemoguće postići.

Ono što je bitno jeste da tačka  $V_S$  leži u oblasti velikih pojačanja, što možemo proveriti ako pretpostavimo da se nalazi u drugoj oblasti. Zašto baš ovde u drugoj oblasti. Na osnovu prethodnih razmišljanja vidimo da će tranzistor P „dugo“ (dok izlazni napon ne padne ispod  $|V_{Tp}|$  raditi u omskoj oblasti). Veliki deo te krive se nalazi iznad prave  $V_O = |V_{Tp}|$  u karakteristici prenosa. Da bi pojednostavili izraze smatraćemo da je  $|V_{Tp}| = V_{Tn}$  što u mnogim praktičnim slučajevima i jeste. Uz uslov  $V_O = V_I$  druga oblast

$$k_p(V_I - V_{DD})(-2(V_{DD} + V_{Tp}) - (V_I - V_{DD})) = k_n(V_I - V_{Tn})^2$$

$$k_p(V_I - V_{DD})(-2(V_{DD} - V_{Tn}) - (V_I - V_{DD})) = k_n(V_I - V_{Tn1})^2$$

$$k_p(V_I - V_{DD})(-2(V_{DD} - V_{Tn}) - (V_I - V_{DD})) = k_n(V_I - V_{DD} + V_{DD} - V_{Tn})^2$$

$$k_p(V_I - V_{DD})^2 - 2k_p(V_{DD} - V_{Tn})(V_I - V_{DD}) = k_n((V_I - V_{DD})^2 + 2(V_I - V_{DD})(V_{DD} - V_{Tn}) + (V_{DD} - V_{Tn})^2)$$

$$(k_n + k_p)(V_I - V_{DD})^2 + 2(k_n + k_p)(V_{DD} - V_{Tn})(V_I - V_{DD}) + k_n(V_{DD} - V_{Tn})^2 = 0$$

$$(V_I - V_{DD})^2 + 2(V_{DD} - V_{Tn})(V_I - V_{DD}) + \frac{k_n(V_{DD} - V_{Tn1})^2}{k_n + k_p} = 0$$

$$V_I - V_{DD} = \frac{-2(V_{DD} - V_{Tn}) \pm \sqrt{(2(V_{DD} - V_{Tn}))^2 - 4 \frac{k_n(V_{DD} - V_{Tn})^2}{k_n + k_p}}}{2}$$

$$V_I - V_{DD} = \frac{-2(V_{DD} - V_{Tn}) \pm 2(V_{DD} - V_{Tn}) \sqrt{1 - \frac{k_n}{k_n + k_p}}}{2}$$



$$V_I = V_{DD} - (V_{DD} - V_{Tn}) \left( 1 \pm \sqrt{\frac{k_p}{k_n + k_p}} \right)$$

Znači treba uzeti znak minus.

$$V_I = V_S = V_{Tn} + (V_{DD} - V_{Tn}) \sqrt{\frac{k_p}{k_n + k_p}}$$

Vidi se da se tačka nalazi između tačka  $V_{IL}$  i tačke sa beskonačnim pojačanjem, što smo i očekivali.

Međutim uz uslov  $|V_{Tp2}| = V_{Tn1}$  da napišemo drugačije dobijene tačke u drugačijem obliku

$$V_{O(IL)} = -V_{Tp} + (V_{DD} + V_{Tp}) \sqrt{\frac{k_n}{k_n + k_p}} = V_{Tn} + (V_{DD} - V_{Tn}) \sqrt{\frac{k_n}{k_n + k_p}}$$

$$V_{IL} = V_{Tn} + (V_{DD} + V_{Tp}) \frac{k_p}{k_n} \sqrt{\frac{k_n}{k_n + k_p}} = V_{Tn1} + (V_{DD} - V_{Tn}) \frac{k_p}{k_n} \sqrt{\frac{k_n}{k_n + k_p}}$$

Uslov da tačka  $V_S$  leži u pretpostavljenoj oblasti je

$$V_{O(IL)} = V_{Tn} + (V_{DD} - V_{Tn}) \sqrt{\frac{k_n}{k_n + k_p}} > V_{IL} = V_{Tn1} + (V_{DD} - V_{Tn}) \frac{k_p}{k_n} \sqrt{\frac{k_n}{k_n + k_p}}$$

Odnosno  $\frac{k_p}{k_n} < 1$ , što je i logično pošto tranzistor P radi sa mnogo većom pobudom između gejta i sorsa od tranzistora N.

Dobijene tačke su redom uz zamenu,  $\beta = \frac{k_n}{k_p} > 1$  koju ćete često sresti u literaturi

$$V_{IL} = V_{Tn} + (V_{DD} - V_{Tn}) \sqrt{\frac{1}{\beta(\beta + 1)}} = V_{Tn} + \frac{(V_{DD} - V_{Tn})}{\sqrt{\beta(\beta + 1)}}$$

$$V_S = V_{Tn} + (V_{DD} - V_{Tn}) \sqrt{\frac{1}{\beta + 1}} = V_{Tn} + \frac{(V_{DD} - V_{Tn})}{\sqrt{\beta + 1}}$$

$$V_I = V_{\infty} = V_{Tn} + (V_{DD} - V_{Tn}) \sqrt{\frac{1}{\beta}} = V_{Tn} + \frac{(V_{DD} - V_{Tn})}{\sqrt{\beta}}$$

Iz čega se tačno vidi poredak  $V_{IL} < V_S < V_{\infty}$ .

I kao što se vidi moguće je postići  $V_S = \frac{V_{DD}}{2}$ , ali ne u oblasti beskonačnih pojačanja. Uslov je

$$\sqrt{\beta + 1} = \frac{V_{DD} - V_{Tn}}{\frac{V_{DD}}{2} - V_{Tn}}$$

Daljim porastom ulaznog napona, napon na drejnu tranzistora N opada, napon između sorsa i drejna tranzistora P raste. Tranzistor P ostaje u zasićenju, ali tranzistor N počinje da radi u omskoj oblasti

$$\frac{k_p}{2} (V_{GS,P} - V_{Tp})^2 = \frac{k_n}{2} (2V_{DS,N} (V_{GS,N} - V_{Tn}) - V_{DS,N}^2)$$

$$k_p (-V_{DD} - V_{Tp})^2 = k_n V_O (2(V_I - V_{Tn}) - V_O)$$

Ako se u ovoj oblasti nalazi  $V_{IH}$  diferenciranjem leve i desne strane i izjednačavanjem  $\frac{\partial V_O}{\partial V_I} = -1$  dobijamo

$$0 = -k_n (2(V_I - V_{Tn}) - V_O) + k_n V_O (2 + 1)$$

$$V_I = V_{Tn} + 2V_O$$

Zamenom u polazni izraz

$$k_p (-V_{DD} - V_{Tp})^2 = k_n V_O (2(V_{Tn} + 2V_O - V_{Tn}) - V_O)$$

$$V_{O(IH)} = (V_{DD} + V_{Tp}) \sqrt{\frac{k_p}{3k_n}}$$

$$V_{IH} = V_{Tn} + 2(V_{DD} + V_{Tp}) \sqrt{\frac{k_p}{3k_n}} = V_{Tn} + (V_{DD} + V_{Tp}) \sqrt{\frac{4B_{n2}}{3B_{n1}}}$$

Napon logičke nule se dobija iz izraza

$$k_p(-V_{DD} - V_{Tp})^2 = k_n V_O(2(V_I - V_{Tn}) - V_O)$$

za  $V_I = V_{OH}$

$$k_p(-V_{DD} - V_{Tp})^2 = k_n V_{OL}(2(V_{OH} - V_{Tn}) - V_{OL})$$

Uz  $V_{OL}$  malo

$$k_p(-V_{DD} - V_{Tp})^2 \approx k_n V_{OL}(2(V_{OH} - V_{Tn}))$$

$$V_{OL} \approx \frac{1}{2} \frac{k_p}{k_n} \frac{(-V_{DD} - V_{Tp})^2}{V_{DD} - V_{Tn}}$$

Uz uslov  $|V_{Tp2}| = V_{Tn1}$

$$V_{OL} \approx \frac{1}{2} \frac{k_p}{k_n} (V_{DD} - V_{Tn})$$

Uočite da zbog održivosti naponskih nivoa  $V_{OL} < V_{Tn1}$  pa dobijamo uslov

$$\frac{1}{2} \frac{k_p}{k_n} (V_{DD} - V_{Tn}) < V_{Tn}$$

$$\frac{k_n}{k_p} = \beta > \frac{V_{DD} - V_{Tn}}{2V_{Tn}}$$

I isto tako  $V_{O(IH)} < V_{IL}$ , a bilo bi jako dobro  $V_{O(IH)} < V_{Tn1}$

$$(V_{DD} - V_{Tn}) \sqrt{\frac{k_p}{3k_n}} = (V_{DD} - V_{Tn}) \sqrt{\frac{1}{3\beta}} < V_{Tn}$$

Iz čega se dobija izraz koji se i koristi

$$\beta > \frac{1}{3} \left( \frac{V_{DD} - V_{Tn}}{V_{Tn}} \right)^2$$

#### DIGRESIJA:

Pošto je ovde relativno lako, hajde da tačno izračunamo  $V_{OL}$

$$k_p(-V_{DD} - V_{Tp})^2 = k_n V_{OL}(2(V_{OH} - V_{Tn}) - V_{OL})$$

$$V_{OL}^2 - 2(V_{DD} - V_{Tn})V_{OL} + \frac{k_p}{k_n}(-V_{DD} - V_{Tp})^2 = 0$$

$$V_{OL} = \frac{2(V_{DD} - V_{Tn}) \pm \sqrt{4(V_{DD} - V_{Tn})^2 - 4 \frac{k_p}{k_n} (-V_{DD} - V_{Tp})^2}}{2}$$

I ono što ste verovatno već uočili mora se biti oprezan prilikom tumačenja znaka plus minus, odnosno koje od ova dva rešenja predstavlja realno rešenje za kolo. U ovom slučaju ako bi uzeli znak plus, dobili bi rezultat koji je veći od  $(V_{DD} - V_{Tn1})$  što za naše kolo nema smisla niti je moguće. Znači znak minus.

$$V_{OL} = \frac{2(V_{DD} - V_{Tn}) - 2(V_{DD} - V_{Tn}) \sqrt{1 - 4 \frac{k_p}{k_n} \frac{(-V_{DD} - V_{Tp})^2}{4(V_{DD} - V_{Tn})^2}}}{2}$$

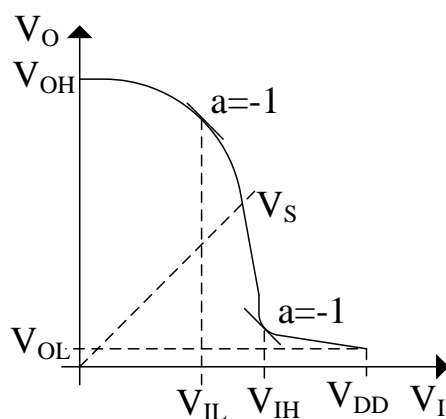
$$V_{OL} = (V_{DD} - V_{Tn1}) \left( 1 - \sqrt{1 - \frac{k_p}{k_n} \frac{(-V_{DD} - V_{Tp})^2}{(V_{DD} - V_{Tn})^2}} \right)$$

$$V_{OL} \approx (V_{DD} - V_{Tn}) \left( 1 - \left( 1 - \frac{1}{2} \frac{k_p}{k_n} \frac{(-V_{DD} - V_{Tp})^2}{(V_{DD} - V_{Tn})^2} \right) \right)$$

$$V_{OL} \approx (V_{DD} - V_{Tn1}) \left( \frac{1}{2} \frac{k_p}{k_n} \frac{(-V_{DD} - V_{Tp})^2}{(V_{DD} - V_{Tn})^2} \right) = \frac{1}{2} \frac{k_p}{k_n} \frac{(-V_{DD} - V_{Tp})^2}{V_{DD} - V_{Tn}}$$

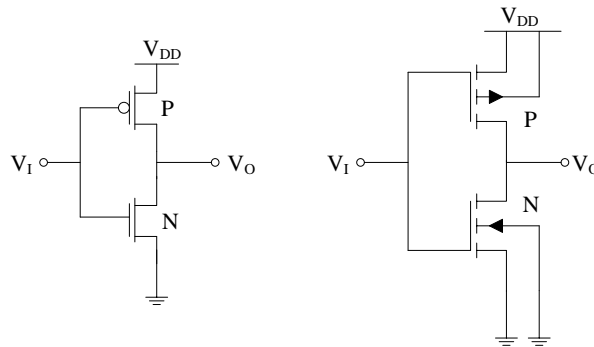
Isti rezultat!

Karakteristika prenosa je



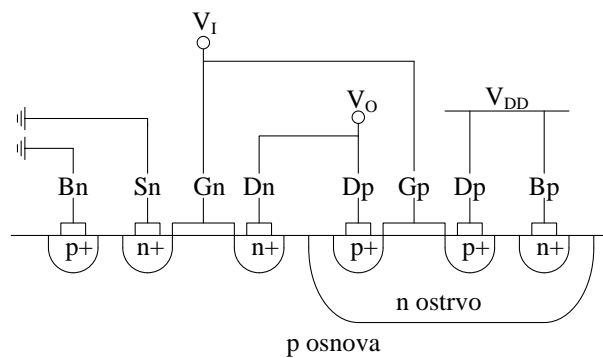
## Invertor u CMOS tehnologiji

Njveći deo savremenih digitalnih sistema je realizovan sa CMOS logičkim kolima koja su izvedena iz CMOS invertora, paralelnim i rednim povezivanjem odgovarajućih tranzistora. CMOS invertor je realizovan korišćenjem dva tranzistora kao i kod pseudo nMOS tehnologije ali su gejtovi P i N tranzistora spojeni i na njih je doveden ulazni napon.



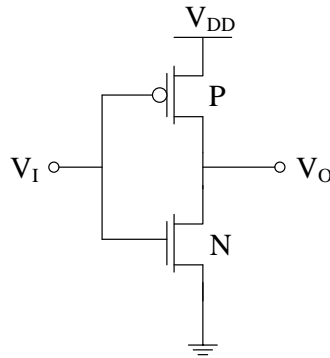
Uočiti da ni ovde ne postoji problem polarizacija osnova pošto je sors tranzistora P na potencijalu  $V_{DD}$ , a i njegova osnova je povezana sa sorsom.

Osnove tranzistora P i N nisu iste, bez obzira što se nalaze na istoj podlozi. Pošto je jedna osnova p tipa (N tranzistor), a druga n tipa (P tranzistor), povezivanjem p osnove na masu i n osnove na  $V_{DD}$  je nema uticaja na rad tranzistora („inverzno polarizvana dioda“).



Ovakva konfiguracija je donela mnoge osobine koje nismo do sada sretali kod logičkih kola kao što je

1. lakša mogućnost podešavanja statičke karakteristike,
2. disipacija u statičkom režimu je manja nego kod prethodnih logičkih kola. Uočite da počevši od bipolarnih tehnologija pa preko nMOS tehnologija, praktično kada imamo logičku nulu na izlazu, uvek postoji struja kroz kolo čak i kada nije opterećeno. Kod bipolarnih tehnologija i za logičku jedinicu i za logičku nulu na izlazu postoji struja kroz tranzistore u ulaznom delu. Kod nMOS tehnologija load tranzistor kada je logička nula na izlazu uvek vodi i time čini statičku disipaciju velikom
3. itd...što ćemo već videti u analizi, a i u sintezi složenih logičkih kola.

**Karakteristika prenosa CMOS invertora**

Kao i uvek karakteristiku prenosa počinjemo da analiziramo pri ulaznom naponu  $V_I=0$ . N tranzistor sigurno neće voditi pošto je

$$V_{GS,N} = V_I = 0 < V_{Tn}$$

Tranzistor P ima uslove da vodi

$$V_{GS,P} = V_{G,P} - V_{S,P} = V_I - V_{DD} = 0 - V_{DD} < V_{Tp}$$

(ne zaboravite  $V_{Tp} < 0$  za pMOS FET)

Kolo je neopterećeno  $I_{Dn} = 0 = I_{Dp}$ . Kako tranzistor P ima uslove da vodi, mora raditi u omskoj oblasti

$$I_{Dp} = \frac{k_p}{2} \frac{1}{1 + \frac{V_{DS,P}}{E_{Cp}L_p}} (2V_{DS,P}(V_{GS,P} - V_{Tp}) - V_{DS,P}^2) = 0$$

kako bi se njegova radna tačka podesila tako da je  $V_{DS,P} = 0$ , što daje  $I_{Dp} = 0$ . To je jedina moguća radna tačka nezavisno od napona  $V_{GS,P}$ .

Da smo pretpostavili da radi u zasićenju

$$I_{Dp} = \frac{k_p}{2} \frac{1}{1 + \frac{V_{GS,P}}{E_{Cp}L_p}} (V_{GS,P} - V_{Tp})^2 = \frac{k_p}{2} \frac{1}{1 + \frac{-V_{DD} - V_{Tp}}{E_{Cp}L_p}} (-V_{DD} - V_{Tp})^2 > 0$$

Izraz pokazuje da nije moguće da tranzistor P radi u zasićenju sa strujom drejna jednakom nuli. Prema tome

$$V_O = V_{OH} = V_{DD} - V_{DS,P} = V_{DD}$$

**Vraćamo se na jednačine tranzistora sa kratkim kanalom. To će nam uvek biti polazne jednačine, a onda ćemo zanemariti šta možemo ako smemo.**

Daljim porastom ulaznog napona  $V_I = V_{Tn} + \varepsilon$  tranzistor N počinje da vodi sa malom strujom. Visok mu je napon na drejnu pa radi u zasićenju.  $V_{DS,N} \geq V_{GS,N} - V_{Tn}$  odnosno  $V_O \geq V_I - V_{Tn}$ . Napon između sorsa i drejna tranzistora P je i dalje mali tako da on i dalje radi u omskoj oblasti.

Uslov da tranzistor N radi u zasićenju

$$V_{DS,N} \geq \frac{(V_{GS,N} - V_{Tn})}{1 + \frac{(V_{GS,N} - V_{Tn})}{L_n E_{Cn}}}$$

$$V_O \geq \frac{(V_I - V_{Tn})}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}}$$

Uslov da tranzistor P radi u omskoj oblasti

$$V_{DS,P} \geq \frac{(V_{GS,P} - V_{Tp})}{1 + \frac{(V_{GS,P} - V_{Tp})}{L_p E_{Cp}}}$$

$$V_O - V_{DD} \geq \frac{(V_I - V_{DD} - V_{Tp})}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}}$$

$$V_O \geq V_{DD} + \frac{(V_I - V_{DD} - V_{Tp})}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}}$$

Iz uslov se vidi da postoji oblast ulaznih i izlaznih napona za koju važi pretpostavka: P tranzistor radi u omskoj oblasti, N tranzistor radi u zasićenju. Na primer za dugi kanal

$$\text{N tranzistor u zasićenju: } V_O \geq V_I - V_{Tn}$$

$$\text{P tranzistor u omskoj: } V_O \geq V_I - V_{Tp}$$

Za P tranzistor (kao i u prethodnom slučaju) koristimo „prvi način pisanja jednačina“, znajući da su svi naponi uključujući i  $E_{Cp}$  negativni. Zato je i promenjen smer veće jednako za P tranzistor (nadam se da Vas to ne zbunjuje).

Izjednačavanjem struja  $I_{Dp} = I_{Dn}$

$$\frac{k_p}{2} \frac{1}{1 + \frac{V_{DS,P}}{L_p E_{Cp}}} (2V_{DS,P}(V_{GS,P} - V_{Tp}) - V_{DS,P}^2) = \frac{k_n}{2} \frac{1}{1 + \frac{V_{GS,N} - V_{Tn}}{L_n E_{Cn}}} (V_{GS,N} - V_{Tn})^2$$

dolazimo do zavisnosti izlaznog od ulaznog napona koju možemo napisati u obliku

$$\begin{aligned} k_p \frac{1}{1 + \frac{V_O - V_{DD}}{L_p E_{Cp}}} (2(V_O - V_{DD})(V_I - V_{DD} - V_{Tp}) - (V_O - V_{DD})^2) \\ = k_n \frac{1}{1 + \frac{V_I - V_{Tn}}{L_n E_{Cn}}} (V_I - V_{Tn})^2 \end{aligned}$$

Ako bi sada smatrali da se u toj oblasti nalazi  $V_{IL}$  i uradili diferenciranje leve i desne strane i zamenili da je  $\frac{\partial V_O}{\partial V_I} = -1$  dobili bi suviše kompleksan izraz. Ali ako smatramo da ćemo dobiti približne rezultate kao i kod prethodnih invertora, možemo smatrati da je  $\frac{V_{O(IL)} - V_{DD}}{L_p E_{Cp}} \ll 1$  pošto očekujemo veliko  $V_{O(IL)}$  blizu  $V_{DD}$  kao i da je  $\frac{V_I - V_{Tn}}{L_n E_{Cn}} \ll 1$  pošto očekujemo da će  $V_{IL}$  biti blisko  $V_{Tn}$ . U tom slučaju priprema za diferenciranje je

$$k_p(V_O - V_{DD}) (2(V_I - V_{DD} - V_{Tp}) - (V_O - V_{DD})) = k_n(V_I - V_{Tn})^2$$

a posle diferenciranja

$$-k_p (2(V_I - V_{DD} - V_{Tp}) - (V_O - V_{DD})) + k_p(V_O - V_{DD})(2 + 1) = 2k_n(V_I - V_{Tn})$$

$$V_I = \frac{4k_p V_O - 2k_p V_{DD} + 2k_p V_{Tp} + 2k_n V_{Tn}}{2(k_n + k_p)} = \frac{2V_O - V_{DD} + V_{Tp} + \frac{k_n}{k_p} V_{Tn}}{1 + \frac{k_n}{k_p}}$$

Izrazi koji će se dobiti na način na koji smo radili su dosta složeni, i biće prikazani na kraju ovog dela. Međutim dosta česta situacija, jeste  $k_n = k_p$  i  $V_{Tn} = -V_{Tp}$ . U tom slučaju

$$V_I = V_O - \frac{V_{DD}}{2}$$

Pa zamenom u početni izraz

$$\begin{aligned} k_p(V_O - V_{DD}) (2(V_I - V_{DD} - V_{Tp}) - (V_O - V_{DD})) &= k_n(V_I - V_{Tn})^2 \\ (V_O - V_{DD}) \left( 2 \left( V_O - \frac{V_{DD}}{2} - V_{DD} + V_{Tn} \right) - (V_O - V_{DD}) \right) &= \left( V_O - \frac{V_{DD}}{2} - V_{Tn} \right)^2 \\ (V_O - V_{DD}) (2V_O - V_{DD} - 2V_{DD} + 2V_{Tn}) - (V_O - V_{DD})^2 & \\ = \left( V_O - \frac{V_{DD}}{2} - \frac{V_{DD}}{2} + \frac{V_{DD}}{2} - V_{Tn} \right)^2 & \\ (V_O - V_{DD}) (V_O - V_{DD} - (V_{DD} - 2V_{Tn})) &= \left( V_O - V_{DD} + \frac{V_{DD} - 2V_{Tn}}{2} \right)^2 \end{aligned}$$



$$(V_O - V_{DD})(V_O - V_{DD} - (V_{DD} - 2V_{Tn})) = \left(V_O - V_{DD} + \frac{V_{DD} - 2V_{Tn}}{2}\right)^2$$

$$(-(V_{DD} - 2V_{Tn}) - (V_{DD} - 2V_{Tn}))(V_O - V_{DD}) = \left(\frac{V_{DD} - 2V_{Tn}}{2}\right)^2$$

$$V_O = V_{DD} - \frac{V_{DD} - 2V_{Tn}}{8}$$

$$V_{O(IL)} = \frac{7V_{DD} + 2V_{Tn}}{8}$$

$$V_{IL} = \frac{3V_{DD} + 2V_{Tn}}{8}$$

Daljim porastom ulaznog napona, napon na drejnu tranzistora N opada, napon između sorsa i drejna tranzistora P raste, pa je moguće da i P tranzistor uđe u zasićenje.

Uslov da tranzistor N radi u zasićenju

$$V_{DS,N} \geq \frac{(V_{GS,N} - V_{Tn})}{1 + \frac{(V_{GS,N} - V_{Tn})}{L_n E_{Cn}}}$$

$$V_O \geq \frac{(V_I - V_{Tn})}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}}$$

Uslov da tranzistor P radi u zasićenju

$$V_{DS,P} \leq \frac{(V_{GS,P} - V_{Tp})}{1 + \frac{(V_{GS,P} - V_{Tp})}{L_p E_{Cp}}}$$

$$V_O - V_{DD} \leq \frac{(V_I - V_{DD} - V_{Tp})}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}}$$

$$V_O \leq V_{DD} + \frac{(V_I - V_{DD} - V_{Tp})}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}}$$

Iz uslov se vidi da postoji oblast ulaznih i izlaznih napona za koju važi pretpostavka: P tranzistor radi u zasićenju, N tranzistor radi u zasićenju. Na primer za dugi kanal

$$\text{N tranzistor u zasićenju: } V_O \geq V_I - V_{Tn}$$

$$\text{P tranzistor u zasićenju: } V_O \leq V_I - V_{Tp}$$

Tada je

$$\frac{k_p}{2} \frac{1}{1 + \frac{V_{GS,P} - V_{Tp}}{L_p E_{Cp}}} (V_{GS,P} - V_{Tp})^2 = \frac{k_n}{2} \frac{1}{1 + \frac{V_{GS,N} - V_{Tn}}{L_n E_{Cn}}} (V_{GS,N} - V_{Tn})^2$$

$$k_p \frac{1}{1 + \frac{V_I - V_{DD} - V_{Tp}}{L_p E_{Cp}}} (V_I - V_{DD} - V_{Tp})^2 = k_n \frac{1}{1 + \frac{V_I - V_{Tn}}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$

Opet smo dobili beskonačno pojačanje, bez obzira što su u pitanju tranzistori sa kratkim kanalom. Dosta očigledno je da će se i tačka  $V_S$  naći u ovoj oblasti. Sređivanju i izvođenju ovih izraza je posvećen poseban deo materijala „Podešavanje praga odlučivanja CMOS invertora“. (JAVLJA SE JAKO ČESTO NA ISPITU) Ali i da se podsetimo u realnosti to baš i nije slučaj pošto smo zanemarili efekat skraćivanja dužine kanala. odnosno, to ne bi bila vertikalna linija, ali bi pojačanje zaista bilo jako veliko. Pravi izraz bi glasio

$$k_p \frac{1}{1 + \frac{V_I - V_{DD} - V_{Tp}}{L_p E_{Cp}}} (V_I - V_{DD} - V_{Tp})^2 (1 + \lambda_p (V_O - V_{DD}))$$

$$= k_n \frac{1}{1 + \frac{V_I - V_{Tn}}{L_n E_{Cn}}} (V_I - V_{Tn})^2 (1 + \lambda_n V_O)$$

Daljim porastom ulaznog napona, napon na drejnu tranzistora N opada, napon između sorsa i drejna tranzistora P raste. Tranzistor P ostaje u zasićenju, ali tranzistor N počinje da radi u omskoj oblasti.

Uslov da tranzistor N radi u omskoj oblasti

$$V_{DS,N} \leq \frac{(V_{GS,N} - V_{Tn})}{1 + \frac{(V_{GS,N} - V_{Tn})}{L_n E_{Cn}}}$$

$$V_O \leq \frac{(V_I - V_{Tn})}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}}$$

Uslov da tranzistor P radi u zasićenju

$$V_{DS,P} \leq \frac{(V_{GS,P} - V_{Tp})}{1 + \frac{(V_{GS,P} - V_{Tp})}{L_p E_{Cp}}}$$

$$V_O - V_{DD} \leq \frac{(V_I - V_{DD} - V_{Tp})}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}}$$

$$V_O \leq V_{DD} + \frac{(V_I - V_{DD} - V_{Tp})}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}}$$

Iz uslov se vidi da postoji oblast ulaznih i izlaznih napona za koju važi pretpostavka: P tranzistor radi u zasićenju, N tranzistor radi u omskoj oblasti. Na primer za dugi kanal

$$\text{N tranzistor u zasićenju: } V_O \leq V_I - V_{Tn}$$

$$\text{P tranzistor u zasićenju: } V_O \leq V_I - V_{Tp}$$

Veza ulaznog i izlaznog napona je tada

$$\frac{k_p}{2} \frac{1}{1 + \frac{V_{GS,P} - V_{Tp}}{L_p E_{Cp}}} (V_{GS,P} - V_{Tp})^2 = \frac{k_n}{2} \frac{1}{1 + \frac{V_{DS,N}}{L_n E_{Cn}}} (2V_{DS,N}(V_{GS,N} - V_{Tn}) - V_{DS,N}^2)$$

$$k_p \frac{1}{1 + \frac{V_I - V_{DD} - V_{Tp}}{L_p E_{Cp}}} (V_I - V_{DD} - V_{Tp})^2 = k_n \frac{1}{1 + \frac{V_O}{L_n E_{Cn}}} (2V_O(V_I - V_{Tn}) - V_O^2)$$

(Nadam se da ste uočili veliku simetriju koja važi između 2. i 4. oblasti.)

Ako bi sada smatrali da se u toj oblasti nalazi  $V_{IL}$  i uradili diferenciranje leve i desne strane i zamenili da je  $\frac{\partial V_O}{\partial V_I} = -1$  dobili bi suviše kompleksan izraz. Ali ako smatramo da ćemo dobiti približne rezultate kao i kod prethodnih invertora, možemo smatrati da je  $\frac{V_{O(IH)} - V_{DD}}{L_n E_{Cn}} \ll 1$  pošto očekujemo malo  $V_{O(IH)}$  blizu 0 kao i da je  $\frac{V_{IH} - V_{DD} - V_{Tp}}{L_p E_{Cp}} \ll 1$  pošto očekujemo da će  $V_{IH}$  biti blisko  $V_{DD} + V_{Tp}$ . U tom slučaju priprema za diferenciranje je

$$k_p (V_I - V_{DD} - V_{Tp})^2 = k_n (2V_O(V_I - V_{Tn}) - V_O^2)$$

a posle diferenciranja

$$2k_p (V_I - V_{DD} - V_{Tp}) = k_n (-2(V_I - V_{Tn}) + 2V_O + 2V_O)$$

$$2k_p (V_I - V_{DD} - V_{Tp}) = k_n (-2(V_I - V_{Tn}) + 2V_O + 2V_O)$$

$$V_I = \frac{2k_n V_O + k_p V_{DD} + k_p V_{Tp} + k_n V_{Tn}}{k_p + k_n} = \frac{2 \frac{k_n}{k_p} V_O + V_{DD} + V_{Tp} + \frac{k_p}{k_n} V_{Tn}}{1 + \frac{k_n}{k_p}}$$

Izrazi koji će se dobiti na način na koji smo radili su dosta složeni, i biće prikazani na kraju ovog dela, ko što smo već rekli prilikom prethodnog slučaja računanja  $V_{IL}$ .

Međutim dosta česta situacija, jeste  $k_n = k_p$  i  $V_{Tn} = -V_{Tp}$ . U tom slučaju

$$V_I = V_O + \frac{V_{DD}}{2}$$

pa zamenom u polazni izraz

$$\begin{aligned} k_p(V_I - V_{DD} - V_{Tp})^2 &= k_n V_O (2(V_I - V_{Tn}) - V_O) \\ \left(V_O + \frac{V_{DD}}{2} - V_{DD} + V_{Tn}\right)^2 &= V_O \left(2\left(V_O + \frac{V_{DD}}{2} - V_{Tn}\right) - V_O\right) \\ \left(V_O - \frac{V_{DD}}{2} + V_{Tn}\right)^2 &= V_O (V_O + V_{DD} - 2V_{Tn}) \\ V_{O(IH)} &= \frac{V_{DD} - 2V_{Tn}}{8} \\ V_{IH} &= \frac{5V_{DD} - 2V_{Tn}}{8} \end{aligned}$$

Prilikom daljeg porasta ulaznog napona dešava se situacija

$$V_I \geq V_{DD} + V_{Tp}$$

kako je napon između gejta i sorsa tranzistora P

$$V_{GS,P} = V_{G,P} - V_{S,P} = V_I - V_{DD}$$

važiće  $V_{GS,P} \geq V_{Tp}$  odnosno tranzistor P će se zakočiti. Tranzistor N radi u omskoj oblasti i njegova radna tačka se podešava  $V_{DS,N} = 0$ , pošto je kolo neopterećeno i njegova struja drejna je jednaka nuli.

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{DS,N}}{L_n E_{Cn}}} (2V_{DS,N}(V_{GS,N} - V_{Tn}) - V_{DS,N}^2) = 0$$

Kako je  $V_{DS,N} = V_I = 0$  možemo odmah da pišemo

$$V_{OL} = 0$$

I prvi put, od kako smo krenuli sa analizom logičkih kola smo dobili

$$V_{OL} = 0$$

$$V_{OH} = V_{DD}$$

Uočite da to važi bez aproksimacija, odnosno važi i ako uzmemo u obzir efekat kratkog kanala kao i efekat skraćanja dužine kanala.

Zanimljivo je da u slučaju  $k_n = k_p$  i  $V_{Tn} = -V_{Tp}$

$$V_{IL} = \frac{3V_{DD} + 2V_{Tn}}{8}$$

$$V_{IH} = \frac{5V_{DD} - 2V_{Tn}}{8}$$

imamo i jednake margine šuma

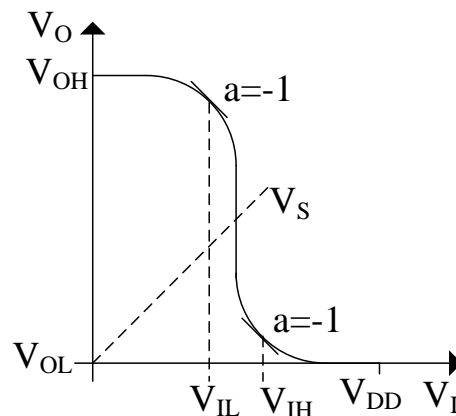
$$NM_L = V_{IL} - V_{OL} = \frac{3V_{DD} + 2V_{Tn}}{8} - 0 = \frac{3V_{DD} + 2V_{Tn}}{8}$$

$$NM_H = V_{OH} - V_{IH} = V_{DD} - \frac{5V_{DD} - 2V_{Tn}}{8} = \frac{3V_{DD} + 2V_{Tn}}{8}$$

Ono što smo prilikom analize videli jeste da će naša karakteristika prenosa imati pet oblasti

1. N tranzistor zakočen, P tranzistor u omskoj oblasti
2. N tranzistor u zasićenju, P tranzistor u omskoj oblasti
3. N tranzistor u zasićenju, P tranzistor u zasićenju
4. N tranzistor u omskoj oblasti, P tranzistor u zasićenju
5. N tranzistor u omskoj oblasti, P tranzistor zakočen

Karakteristika prenosa je



Uočiti da će održanje naponskih nivoa biti ispunjeno, ili može lako biti ispunjeno čak i u onom našem najgorem slučaju,  $V_{O(IH)} \leq V_{IL}$  i  $V_{O(IL)} \geq V_{IH}$  na primer za situaciju koju smo posmatrali

$$V_{O(IH)} = \frac{V_{DD} - 2V_{Tn}}{8} \leq V_{IL} = \frac{3V_{DD} + 2V_{Tn}}{8}$$

$$V_{IH} = \frac{5V_{DD} - 2V_{Tn}}{8} \leq V_{O(IL)} = \frac{7V_{DD} + 2V_{Tn}}{8}$$

Oba daju identičan rezultat koji je uvek ispunjen  $V_{DD} \geq -2V_{Tn}$ .

„Tačni“ (zanemareni efekti kratkog kanala i efekat skraćanja dužine kanala) izrazi za  $V_{IL}, V_{O(IL)}, V_{IH}, V_{O(IH)}$  uz  $\beta = \frac{k_n}{k_p}$  su

$$V_{IL} = \frac{(2\sqrt{\beta} - \sqrt{\beta + 3})V_{DD} - (2\sqrt{\beta} - \beta\sqrt{\beta + 3})V_{Tn} + (2\sqrt{\beta} - \sqrt{\beta + 3})V_{Tp}}{(\beta - 1)\sqrt{\beta + 3}}$$

$$V_{O(IL)} = \frac{(\beta + 1)V_{IL} + V_{DD} - \beta V_{Tn} - V_{Tp}}{2}$$

$$V_{IH} = \frac{(2\beta - \sqrt{1 + 3\beta})V_{DD} - (2\beta - \beta\sqrt{1 + 3\beta})V_{Tn} + (2\beta - \sqrt{1 + 3\beta})V_{Tp}}{(\beta - 1)\sqrt{1 + 3\beta}}$$

$$V_{O(IH)} = \frac{(\beta + 1)V_{IH} - V_{DD} - \beta V_{Tn} - V_{Tp}}{2\beta}$$

#### DIGRESIJA

Do ovih izraza je ovaj put „lakše“ doći na drugi način

Na primer za  $V_{IL}$ . Polazna jednačina je

$$k_p(V_O - V_{DD}) \left( 2(V_I - V_{DD} - V_{Tp}) - (V_O - V_{DD}) \right) = k_n(V_I - V_{Tn})^2$$

a onda se  $V_O$  računa

$$(V_O - V_{DD})^2 - 2(V_I - V_{DD} - V_{Tp})(V_O - V_{DD}) + \frac{k_n}{k_p}(V_I - V_{Tn})^2 = 0$$

$$V_O = V_{DD} + \frac{4(V_I - V_{DD} - V_{Tp}) \pm \sqrt{(2(V_I - V_{DD} - V_{Tp}))^2 - 4\frac{k_n}{k_p}(V_I - V_{Tn})^2}}{2}$$

$$V_O = 2V_I - V_{DD} - 2V_{Tp} \pm \sqrt{(V_I - V_{DD} - V_{Tp})^2 - \frac{k_n}{k_p}(V_I - V_{Tn})^2}$$

pa se diferencira, pa se izjednači sa -1, pa se izračuna  $V_{IL}$ , a  $V_{O(IL)}$  na način na koji smo već radili.

## Podešavanje praga odlučivanja CMOS invertora

Videli smo da je „tačan“ izraz za zavisnost izlaznog od ulaznog napona u oblasti velikih pojačanja, kada i P i N tranzistor rade u zasićenju

$$k_p \frac{1}{1 + \frac{V_I - V_{DD} - V_{Tp}}{L_p E_{Cp}}} (V_I - V_{DD} - V_{Tp})^2 (1 + \lambda_p (V_0 - V_{DD}))$$

$$= k_n \frac{1}{1 + \frac{V_I - V_{Tn}}{L_n E_{Cn}}} (V_I - V_{Tn})^2 (1 + \lambda_n V_0)$$

Zaključci:

1. Pojačanje neće biti beskonačno ali će biti jako veliko.
2. Prag odlučivanja logičkog kola će se naći u ovoj oblasti.
3. Moguće je podešavanjem odnosa  $\frac{k_n}{k_p}$  podesiti vrednost praga odlučivanja logičkog kola.

Posmatraćemo tri različita slučaja, pri čemu ćemo zanemariti efekat skraćivanja dužine kanala odnosno smatrati  $\lambda_n = \lambda_p = 0$

Tranzistori sa dugačkim kanalom  $V_S \ll E_C L$

Tranzistori sa kratkim kanalom  $V_S \sim E_C L$

Tranzistori sa kratkim kanalom  $V_S \gg E_C L$

### Tranzistori sa dugačkim kanalom $V_S \ll E_C L$

U slučaju kada su tranzistori sa dugačkim kanalom, odnosno zanemaren je efekat zasićenja brzine nosilaca izraz se svodi na

$$k_p (V_I - V_{DD} - V_{Tp})^2 = k_n (V_I - V_{Tn})^2$$

odnosno

$$-\sqrt{\frac{k_p}{k_n}} (V_S - V_{DD} - V_{Tp}) = (V_S - V_{Tn})$$

(pazite na oslobađanje kvadrata u ovakvim situacijama – leva strana mora da bude pozitivna)

Prilikom ovih izvođenja česta situacija u literaturi jeste da se uvede smena

$$\sqrt{\frac{k_p}{k_n}} = r$$

$r$  – odnos (ratio), pa je

$$V_S = \frac{V_{Tn} + r(V_{DD} + V_{Tp})}{1 + r}$$

U tom slučaju potreban odnos  $r$  da bi se postavila tačka  $V_S$  je

$$r = \frac{V_S - V_{Tn}}{V_{DD} - V_S + V_{Tp}}$$

Prema tome ako bi želeli da  $V_S = \frac{V_{DD}}{2}$  onda

$$r = \frac{\frac{V_{DD}}{2} - V_{Tn}}{\frac{V_{DD}}{2} + V_{Tp}}$$

i u slučaju  $V_{Tn} = -V_{Tp}$   $r$  treba da bude 1, odnosno

$$\sqrt{\frac{k_p}{k_n}} = 1 \Rightarrow \frac{k_p}{k_n} = 1$$

$$\frac{k_p}{k_n} = \frac{\mu_p C_{oxp} \frac{W_p}{L_p}}{\mu_n C_{oxn} \frac{W_n}{L_n}}$$

Podrazumeva se da su tranzistori urađeni u istoj tehnologiji  $C_{oxp} = C_{oxn}$  i da je  $L_p = L_n$  odnosno da se samo širinama kanala definišu odnosi (kao što smo i ranije radili) pa je potreban odnos

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p}$$

ili u opštem slučaju

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p} \left( \frac{V_S - V_{Tn}}{V_{DD} - V_S + V_{Tp}} \right)^2$$



**Tranzistori sa kratkim kanalom  $V_S \sim E_C L$** 

U slučaju kada su tranzistori sa kratkim kanalom i postoji efekat zasićenja brzine nosilaca,

$$k_p \frac{1}{1 + \frac{V_I - V_{DD} - V_{Tp}}{L_p E_{Cp}}} (V_I - V_{DD} - V_{Tp})^2 = k_n \frac{1}{1 + \frac{V_I - V_{Tn}}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$

ili

$$k_p L_p E_{Cp} \frac{(V_I - V_{DD} - V_{Tp})^2}{(V_I - V_{DD} - V_{Tp}) + L_p E_{Cp}} = k_n L_n E_{Cn} \frac{(V_I - V_{Tn})^2}{(V_I - V_{Tn}) + L_n E_{Cn}}$$

U opštem slučaju za zadato  $V_S$

$$\frac{k_p}{k_n} = \frac{L_n E_{Cn}}{L_p E_{Cp}} \times \frac{(V_S - V_{DD} - V_{Tp}) + L_p E_{Cp}}{(V_S - V_{Tn}) + L_n E_{Cn}} \left( \frac{V_S - V_{Tn}}{V_S - V_{DD} - V_{Tp}} \right)^2$$

$$\frac{k_p}{k_n} = \frac{L_n E_{Cn}}{L_p E_{Cp}} \times \frac{1 + \frac{L_p E_{Cp}}{V_S - V_{DD} - V_{Tp}}}{1 + \frac{L_n E_{Cn}}{V_S - V_{Tn}}} \times \frac{V_S - V_{Tn}}{V_S - V_{DD} - V_{Tp}}$$

(U ovom načinu pisanja  $L_p E_{Cp} < 0$ )

$$\frac{\mu_p C_{oxp} \frac{W_p}{L_p}}{\mu_n C_{oxn} \frac{W_n}{L_n}} = \frac{L_n E_{Cn}}{L_p E_{Cp}} \times \frac{1 + \frac{L_p E_{Cp}}{V_S - V_{DD} - V_{Tp}}}{1 + \frac{L_n E_{Cn}}{V_S - V_{Tn}}} \times \frac{V_S - V_{Tn}}{V_S - V_{DD} - V_{Tp}}$$

Podrazumeva se da su tranzistori urađeni u istoj tehnologiji  $C_{oxp} = C_{oxn}$  i da je  $L_p = L_n$  odnosno da se samo širinama kanala definišu odnosi (kao što smo i ranije radili) i da je  $E_{Cn} = \frac{2v_{satn}}{\mu_n}$ ,  $E_{Cp} = \frac{2v_{satp}}{\mu_p}$  i  $v_{satn} = -v_{satp}$  pa je potreban odnos

$$\frac{W_p}{W_n} = \frac{1 + \frac{|L_p E_{Cp}|}{V_{DD} - V_S + V_{Tp}}}{1 + \frac{L_n E_{Cn}}{V_S - V_{Tn}}} \times \frac{V_S - V_{Tn}}{V_{DD} - V_S + V_{Tp}}$$

Uz uslov  $V_{Tn} = -V_{Tp}$  ako treba da podesimo tačku  $V_S$  na polovinu napona napajanja,

$$\frac{W_p}{W_n} = \frac{\frac{V_{DD}}{2} - V_{Tn} + |L_p E_{Cp}|}{\frac{V_{DD}}{2} - V_{Tn} + L_n E_{Cn}}$$

U slučaju da prilikom ovog napona još uvek nije nastupilo zasićenje brzine nosilaca

$$\left(\frac{V_{DD}}{2} - V_{Tn}\right) \ll L_n E_{Cn} \quad \text{i} \quad \left|\frac{V_{DD}}{2} + V_{Tp}\right| \ll |L_p E_{Cp}|$$

izraz se svodi na izraz za tranzistore sa dugačkim kanalom.

$$\frac{W_p}{W_n} = \frac{|L_p E_{Cp}|}{L_n E_{Cn}} = \frac{L_p \frac{2v_{satp}}{\mu_p}}{L_n \frac{2v_{satn}}{\mu_n}} = \frac{\mu_n}{\mu_p}$$

### Tranzistori sa kratkim kanalom $V_S \gg E_C L$

Međutim ako je nastupilo zasićenje nosilaca i uz pretpostavke koje smo izveli u uvodnom delu  $V_S - V_{Tn} > V_{DSnsat} = L_n E_{Cn} = L_n \frac{v_{satn}}{\mu_n}$  i  $V_S - V_{DD} - V_{Tp} < V_{DSpsat} = L_p E_{Cp} = L_p \frac{v_{satp}}{\mu_p}$

$$W_p C_{oxp} v_{satp} \left( V_I - V_{DD} - V_{Tp} - \frac{V_{DSpsat}}{2} \right) = W_n C_{oxn} v_{satn} \left( V_I - V_{Tn} - \frac{V_{DSnsat}}{2} \right)$$

$$W_p v_{satp} \left( V_S - V_{DD} - V_{Tp} - \frac{V_{DSpsat}}{2} \right) = W_n v_{satn} \left( V_S - V_{Tn} - \frac{V_{DSnsat}}{2} \right)$$

$$\frac{-W_p v_{satp}}{W_n v_{satn}} = \frac{W_p |v_{satp}|}{W_n v_{satn}} = r$$

$$V_S = \frac{V_{Tn} + \frac{V_{DSnsat}}{2} + r \left( V_{DD} + V_{Tp} + \frac{V_{DSpsat}}{2} \right)}{1 + r}$$

odnosno za zadato  $V_S$  odnosi treba da budu

$$\frac{W_p}{W_n} = \frac{\mu_n V_{DSnsat} \left( V_S - V_{Tn} - \frac{V_{DSnsat}}{2} \right)}{\mu_p V_{DSpsat} \left( V_S - V_{DD} - V_{Tp} - \frac{V_{DSpsat}}{2} \right)}$$

U slučaju da tačku  $V_S$  podešavamo na polovinu napona napajanja i uz uslov  $v_{satn} = -v_{satp}$

$$\frac{W_p}{W_n} = \frac{\frac{V_{DD}}{2} - V_{Tn} - \frac{V_{DSnsat}}{2}}{\frac{V_{DD}}{2} + V_{Tp} + \frac{V_{DSpsat}}{2}}$$

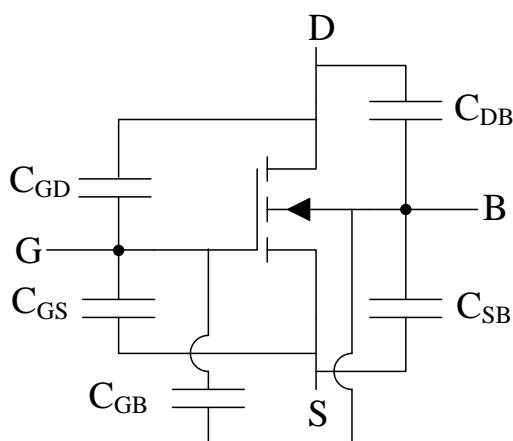
Što je identično i prethodnom izrazu i takođe se kod dugog kanala  $V_{DSnsat} > \frac{V_{DD}}{2} - V_{Tn}$  svodi na

$$\frac{W_p}{W_n} = \frac{V_{DSnsat}}{|V_{DSpsat}|} = \frac{\mu_n}{\mu_p}$$

## Dinamičke karakteristike CMOS invertora

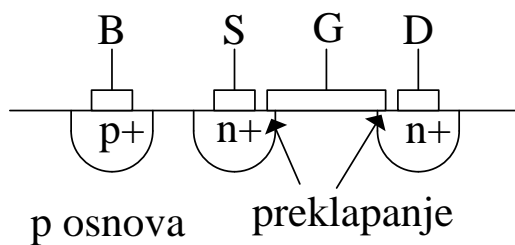
MOS FET tranzistori po prirodi svog funkcionisanja imaju velike interne kapacitvnosti. Na primer, da bi se formirao kanal moraju da se dovedu naelektrisanja na gejt tranzistora koja će iz osnove „privući“ naelektrisanja potrebna za formiranje kanala. Ova i slične kapacitvnosti koje poseduje tranzistor će dominantno uticati na brzinu rada. Te kapacitvnosti opterećuju sam invertor ali isto tako i prethodni invertor koji mu prosleđuje logičke nivoe. Parazitarne kapacitvnosti vodova i dalje postoje, ali njih možemo smatrati relativno konstantnim. Problem sa kapacitvostima CMOS invertora je što zavise od dimenzija tranzistora. I dok smo u prethodnim slučajevima menjali dimenzije tranzistora da bi dobili odgovarajuće statičke karakteristike, videćemo da će to itekako uticati na dinamički režim.

Kapacitvnosti MOS FET tranzistora su



$C_{GB}$  - prirodna kapacitvnost između gejta i osnove za MOS FET tranzistor – dovođenje naelektrisanja iz osnove u kanal

$C_{GD}$ ,  $C_{GS}$  – Oblast gejta mora da pokrije oblast kanala. Međutim teško je obezbediti tehnološki da bude „samo“ iznad kanala. Prekriće delimično i oblasti sorsa i dreja, a time će se pojaviti i ova kapacitvnost.



$C_{GD}$ ,  $C_{GS}$  – Kapacitvnosti spojeva osnove i drejna (pn spoj – dioda), odnosno osnove i sorsa (pn spoj – dioda)

Ove kapacitivnosti zavise od dimenzija tranzistora, tehnoloških parametara ali i od režima u kojem tranzistor radi. Na primer za ukupnu kapacitivnost gejta  $C_G$

| Režim rada   | $C_{GCB}$  | $C_{GCS}$       | $C_{GCD}$    | $C_{GC}$        | $C_G$                 |
|--------------|------------|-----------------|--------------|-----------------|-----------------------|
| zakočen      | $C_{ox}WL$ |                 |              | $C_{ox}WL$      | $C_{ox}WL+2C_0W$      |
| omska oblast | 0          | $C_{ox}WL/2$    | $C_{ox}WL/2$ | $C_{ox}WL$      | $C_{ox}WL+2C_0W$      |
| zasićen      | 0          | $(2/3)C_{ox}WL$ |              | $(2/3)C_{ox}WL$ | $(2/3)C_{ox}WL+2C_0W$ |

$W$  – širina kanala

$L$  – dužina kanal

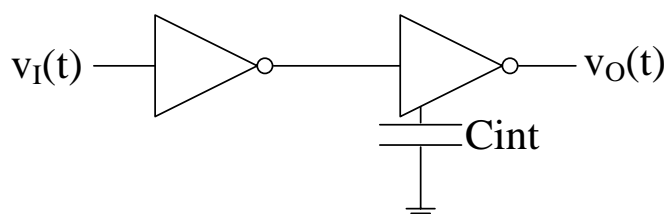
$C_{GCB}$ ,  $C_{GCS}$ ,  $C_{GCD}$  – kapacitivnosti gejta koje potiču od kanala, prema osnovi, sorsu, drejnu, respektivno

$C_{GC}$  - ukupna kapacitivnost gejta koja potiče od kanala

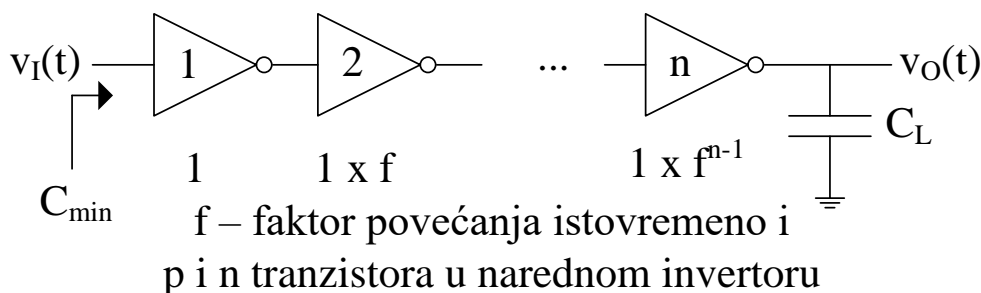
$C_0$  – jedinična kapacitivnost (normirana po širini kanala) koja potiče od preklapanja oblasti gejta i sorsa, odnosno gejta i drejna.

Zbog ovih kapacitivnosti pojavljuju nam se dva problema.

1. Koliki treba da je odnos  $k_p$  i  $k_n$  (odnosno  $W_p$  i  $W_n$ ) u jednom CMOS invertoru da bi se minimiziralo kašnjenje kada taj invertor treba da puni i prazni spoljne kapacitivnosti, koje su posledica ulaza u naredna logička kola.



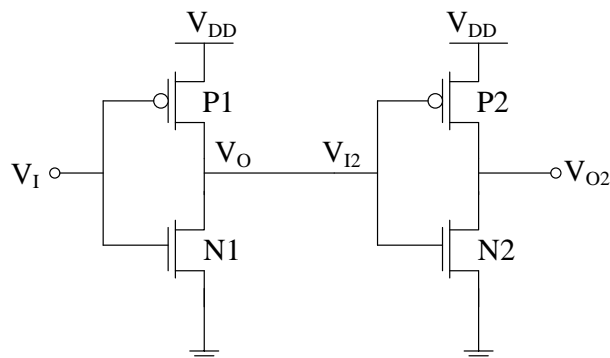
2. Koliki treba da je međusobni odnos dimenzija tranzistora među CMOS invertorima (unutar jednog ćemo odrediti odnose  $W_p$  i  $W_n$  rešavajući prethodni slučaj) da bi se minimiziralo kašnjenje u lancu invertora koji treba (lanac treba) da puni i prazni spoljne kapacitivnosti, a da ulazna kapacitivnost u lanac ostane minimalna.



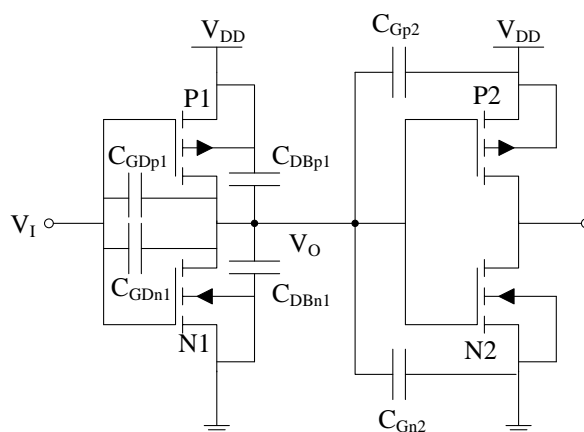
(obratite pažnju pošto se ovo jako često pojavljuje na ispitu a pobrKate ove dve stvari)

## Optimizacija kašnjenja u jednom CMOS invertoru

Analizirajući statičke karakteristike CMOS invertora već smo videli da bi zbog različitih pokretljivosti nosilaca i dimenzije P i N tranzistora trebale da budu različite, da bi dobili „dobru“ karakteristiku prenosa. Na žalost to će uticati na ukupnu kapacitivnost kojom je inverter opterećen ako mu se na izlazu nalazi isti takav inverter, odnosno na kapacitivnost kojom inverter opterećuje prethodno stepen. Zbog toga ćemo posmatrati realnu situaciju koja nam se u digitalnom sistemu pojavljuje, veze dva invertora



Ideja je da na isti način menjamo odnose dimenzija P i N tranzistora i u 1. i u 2. invertoru i da vidimo efekat na kašnjenje 1. Invertora. Mogli smo da krenemo i od pretpostavke da je 1. inverter neopterećen spoljnim kapacitivnostima (videćete da ćemo dobiti isti rezultat) međutim ovo je situacija koja se pojavljuje u praksi. U ovakvoj konfiguraciji kada promenimo odnose P i N tranzistora u 2. invertoru promeniće se i  $C_L$  što je mnogo bliže realnoj primeni. U toj realnoj primeni da vidimo koje kapacitivnosti utiču na brzinu rada.



Smatraćemo da se na ulazu u 1. Invertor nalazi idealni naponski izvor, sa beskonačnim strujnim kapacitetom, pa nam neće smetati ulazne kapacitivnosti gejta prema sorsu u oba tranzistora u 1. Invertora. Ali će uticati kapacitivnosti gejta prema drejnu i P i N tranzistora pošto se one pune i prazne preko tranzistora sa konačnom otpornošću. Isto tako izlaz prvog invertora menja potencijal pa dolaze do izražaja kapacitivnosti izlaza, drejna prema osnovi. Kako je izlaz 1. invertora povezan na ulaz 2. Invertora on će biti opterećen ukupnim kapacitivnostima gejtova i P i N tranzistora u 2. Invertoru.

Polazne pretpostavke su nam  $L_{n1} = L_{p1}$  i  $L_{n2} = L_{p2}$ ,  $W_{n1} = W_{p1}$  i  $W_{n2} = W_{p2}$  a želimo da minimizujemo srednje kašnjenje invertora

$$t_p = \min\left(\frac{t_{pLH} + t_{pLH}}{2}\right)$$

tako što ćemo menjati širine kanala P tranzistora na isti način i u 1. i u 2. invertoru.

Pod pretpostavkom da su u pitanju tranzistori sa kratkim kanalom, i da su za sve vreme prelaznih procesa bitnih za kašnjenje u zasićenju možemo odmah da pišemo za izlaz 1. invertora

$$t_{pLH} = 0.69R_{p1}C_L$$

$$t_{pHL} = 0.69R_{n1}C_L$$

gde je

$$R_p \approx \frac{3}{4} \frac{V_{DD}}{I_{Dpsat}} \left(1 - \frac{7}{9} |\lambda_p| V_{DD}\right) \text{ ili } \frac{3}{4} \frac{V_{DD}}{I_{Dpsat}} \left(1 - \frac{5}{6} |\lambda_p| V_{DD}\right)$$

$$R_n \approx \frac{3}{4} \frac{V_{DD}}{I_{Dnsat}} \left(1 - \frac{7}{9} \lambda_n V_{DD}\right) \text{ ili } \frac{3}{4} \frac{V_{DD}}{I_{Dnsat}} \left(1 - \frac{5}{6} \lambda_n V_{DD}\right)$$

i  $C_L$  ukupna kapacitivnost kojom je opterećen.

$$C_L = (C_{Dp1} + C_{Dn1}) + (C_{Gp2} + C_{Gn2})$$

gde je  $C_{Dp1}$  ukupna kapacitivnost na dregnju P tranzistora u 1. Invertoru.  $C_{DBp1}$  i preslikana kapacitivnost  $C_{GDp1}$  na izlaz (približnom Milerovom teoremom, kada se ulaz promeni sa 0 na  $V_{DD}$  izlaz se promeni sa  $V_{DD}$  na 0, ukupna promena napona na kapacitivnosti je  $2V_{DD}$ , a da bi bila ista količina naelektrisanja koja prolazi kroz tu kapacitivnost preslikana na izlaz gde je promena samo  $V_{DD}$  treba na izlazu da bude ekvivalentna kapacitivnost  $2C_{GDp1}$ ). Isto važi i za kapacitivnost  $C_{Dn1}$

Ako sada u oba invertora povećamo širinu kanala P tranzistora, pri čemu širine kanala N tranzistora ostaju iste, sa faktorom

$$\beta = \frac{\left(\frac{W}{L}\right)_p}{\left(\frac{W}{L}\right)_n}$$

sa dosta velikom tačnošću možemo smatrati da će se odgovarajuće kapacitivnosti povećati

$$C_{Dp1} \approx \beta C_{Dp1(\beta=1)} \approx \beta C_{Dn1}$$

gde je  $C_{Dp1(\beta=1)}$  kapacitivnost pre povećanja širine kanala kada je bilo  $W_{n1} = W_{p1}$  i sa punim pravom smemo smatrati  $C_{Dp1(\beta=1)} = C_{Dn1}$ .

Isto tako važi

$$C_{Gp2} \approx \beta C_{Gp2(\beta=1)} \approx \beta C_{Gn2}$$

gde je  $C_{Gp2(\beta=1)}$  kapacitivnost pre povećanja širine kanala kada je bilo  $W_{n2} = W_{p2}$  i sa punim pravom smemo smatrati  $C_{Gp2(\beta=1)} = C_{Gn2}$ , dok će ekvivalentna otpornost P tranzistora biti

$$R_{p1} \approx \frac{R_{p1(\beta=1)}}{\beta}$$

Prema tome

$$t_p = \frac{t_{pLH} + t_{pLH}}{2} = \frac{0.69}{2} (R_{n1} + R_{p1}) ((C_{Dp1} + C_{Dn1}) + (C_{Gp2} + C_{Gn2}))$$

$$t_p = \frac{0.69}{2} \left( R_{n1} + \frac{R_{p1(\beta=1)}}{\beta} \right) \left( (\beta C_{Dp1(\beta=1)} + C_{Dn1}) + (\beta C_{Gp2(\beta=1)} + C_{Gn2}) \right)$$

$$t_p = \frac{0.69}{2} R_{n1} \left( 1 + \frac{r}{\beta} \right) ((1 + \beta)(C_{Dn1} + C_{Gn2}))$$

gde je

$$r = \frac{R_{p1(\beta=1)}}{R_{n1}} = \frac{\frac{3}{4} \frac{V_{DD}}{I_{Dpsat}} \left( 1 - \frac{7}{9} |\lambda_p| V_{DD} \right)}{\frac{3}{4} \frac{V_{DD}}{I_{Dnsat}} \left( 1 - \frac{7}{9} \lambda_n V_{DD} \right)} \approx \frac{I_{Dnsat}}{I_{Dpsat}} \Big|_{W_p=W_n} = \frac{\mu_n}{\mu_p}$$

Funkcija kašnjenja ima  $t_p$  minimum po  $\beta$  kada je  $\frac{dt_p}{d\beta} = 0$

$$\left( 1 + \frac{r}{\beta} \right) + \left( -\frac{r}{\beta^2} (1 + \beta) \right) = 0$$

$$\beta^2 = r$$

Odnosno

$$\beta = \frac{\left(\frac{W}{L}\right)_p}{\left(\frac{W}{L}\right)_n} = \frac{W_p}{W_n} = \sqrt{r} = \sqrt{\frac{\mu_n}{\mu_p}}$$

što je drugačiji rezultat od onog što smo dobijali za podešavanje statičke karakteristike prenosa  $\frac{W_p}{W_n} \approx \frac{\mu_n}{\mu_p}$ . Zbog toga se u praksi pravi kompromis koji najčešće rezultuje da je  $\frac{W_p}{W_n} \approx 2$ .

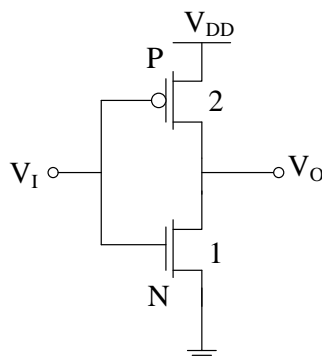
## Dimenzije tranzistora CMOS invertora - jedinični CMOS invertor

Pojam jediničnog CMOS invertora će nam se pojavljivati i pojavljuje se kao reprezentativan primer za odgovarajuću tehnologiju. Pored ostalih parametara tehnologija određuje i sa kojim minimalnim dimenzijama raspolažemo, odnosno koliko su nam minimalne dužine i širine kanala. Oznaka tehnologije je istovremeno i ta minimalna dimenzija. Znači kada se kaže da je digitalni sistem, na primer procesor, urađen u 45nm tehnologiji, to znači da su tranzistori koji imaju minimalnu geometriju dužine kanala 45nm i širine kanala 45nm. Ono što je najčešće kao što smo i mi radili jeste da se parametri tranzistora podešavaju samo promenom dužine i širine kanala. U tom slučaju dužina i širina kanala su celobrojni multipl minimalnih dimenzija.

(10 $\mu$ m–1971, 6 $\mu$ m–1974, 3 $\mu$ m–1977, 1.5 $\mu$ m–1981, 1 $\mu$ m–1984, 800nm–1987, 600nm–1990, 350nm–1993, 250nm–1996, 180nm–1999, 130nm–2001, 90nm–2003, 65nm–2005, 45nm–2007, 32nm–2009, 22nm–2012, 14nm–2014, 10nm–2016, 7nm–2018, 5nm–~2020)

Zbog mogućnosti skaliranja i prelazaka sa jedne na druge tehnologije uveden je normirana dimenzija, parametar  $\lambda$  (nema veze sa parametrima  $\lambda_n$  i  $\lambda_p$ ) koji u stvari pokazuje mogućnosti tehnologije, a svi ostale dimenzije koji se daju su celobrojni umnošci tog parametra. Znači dimenzije tranzistora i odnosi dimenzija se daju samo kao celobrojne vrednosti. Parametar  $\lambda$  je definisan tako da  $2\lambda$  u stvari predstavlja minimalne tehnološke dimenzije. Neke dimenzije je moguće ostvariti i sa dimenzijama koje su „polovina minimalne dimenzije“. Prilikom označavanja tranzistora najčešće se podrazumeva da je dužina kanala svih tranzistora ista (i često minimalna) a onda se označavaju samo širine kanala.

U ovom smislu se i definiše CMOS invertor minimalne geometrije – jedinični CMOS invertor. Dužine kanala P i N tranzistora su iste, a širine zadovoljavaju neke od prethodnih izvedenih odnosa, ili kompromis tih zahteva. Najčešće je odnos 2:1. Zauzima „najmanje prostora“ i kapacitivnosti su minimalne.

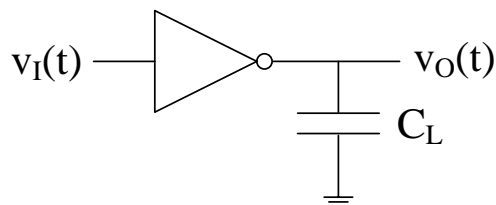


U ovom smislu treba biti samo oprezan, kada se daju odnosi „većih tranzistora“. Na primer neka je računski na osnovu nekih prethodnih uslova dobijeno da odnos treba da bude 2.376. Za invertor minimalne geometrije taj odnos treba da bude približan ceo broj odnosno 2. Međutim ako je iz nekog razloga kanal N tranzistora širine 10, onda P tranzistor neće biti širine 20 nego 24, itd...



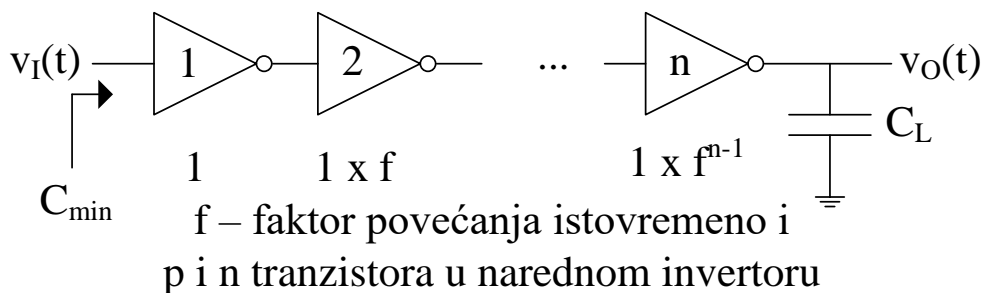
### Optimizacija kašnjenja u lancu CMOS invertora

U situaciji kada inverter ima neku fiksnu parazitnu kapacitivnost na izlazu, relativno veliku, postavlja se isto pitanje kako dimenzionisati tranzistore da bi kašnjenje prouzrokovano tom kapacitivnošću bilo što je manje moguće.



Direktan odgovor je da treba povećati širine kanala oba tranzistora, zadržavajući njihov utvrđen odnos, tako da se povećaju strujni kapaciteti, odnosno smanje njihove otpornosti. Međutim na taj način ćemo značajno povećati i internu kapacitivnost samog invertora pa će on u značajnoj meri opteretiti prethodno kolo i izazvati povećanje ukupnog kašnjenja.

Rešenje je da probamo da napravimo lanac invertora, tako da ulaz u lanac ostane minimalne kapacitivnosti i minimizujemo ukupno kašnjenje. Odnosi P i N tranzistora u jednom invertoru ostaju fiksni, i određeni odnosom jediničnog invertora. Prvi inverter u lancu je jedinični inverter kako bi dobili minimalnu ulaznu kapacitivnost.



Da napišemo izraze za kašnjenja, na osnovu prethodnih izvođenja, za prvi inverter:

$$t_p = \frac{t_{pLH} + t_{pLH}}{2} = \frac{0.69}{2} (R_{n1} + R_{p1}) ((C_{Dp1} + C_{Dn1}) + (C_{Gp2} + C_{Gn2}))$$

Ako označimo  $R_{eq} = \frac{R_{n1} + R_{p1}}{2}$ ,  $C_{int1} = C_{Dp1} + C_{Dn1}$  i  $C_{ext1} = C_{Gp2} + C_{Gn2}$  pa u opštem slučaju

$$t_{p1} = 0.69 R_{eq1} (C_{int1} + C_{ext1})$$

$$t_{p1} = 0.69 R_{eq1} C_{int1} \left( 1 + \frac{C_{ext1}}{C_{int1}} \right) = t_{p0} \left( 1 + \frac{C_{ext1}}{C_{int1}} \right)$$

gde je za prvi inverter  $t_{p0} = 0.69 R_{eq1} C_{int1}$ .

Videli smo da su sve kapacitivnosti kod MOS tranzistora u vezi, pa sigurno možemo da pišemo

$$C_{int1} = \gamma C_{G1}$$

gde je  $\gamma$  faktor proporcionalnosti i zavisi od upotrebljene tehnologije. U tom slučaju

$$t_{p1} = t_{p0} \left( 1 + \frac{C_{ext1}}{\gamma C_{G1}} \right) = t_{p0} \left( 1 + \frac{C_{G2}}{\gamma C_{G1}} \right) = t_{p0} \left( 1 + \frac{f}{\gamma} \right)$$

gde je  $f = \frac{C_{G2}}{C_{G1}}$  efektivni fanout.

Šta je važno da uočite. Kao što smo ranije videli, ako smo dimenzije i P i N kanalnog tranzistora u i-tom invertoru povećali k puta u odnosu na jedinični invertor njihova ekvivalentna otpornost će biti  $R_{eq,i} = \frac{R_{eq1}}{k}$  a interna kapacitivnost  $C_{int,i} = k C_{int1}$ . Invertori su u istoj tehnologiji na istoj osnovi pa imaju jednake  $\gamma$ . Izraz za kašnjenje i-tog invertora u tom slučaju

$$t_{p,i} = 0.69 R_{eq,i} C_{int,i} \left( 1 + \frac{C_{G,(i+1)}}{\gamma C_{G,i}} \right) = t_{p0} \left( 1 + \frac{C_{G,(i+1)}}{\gamma C_{G,i}} \right) = t_{p0} \left( 1 + \frac{f_{(i+1)}}{\gamma} \right)$$

ukupno kašnjenje lanca invertora je u tom slučaju

$$t_p = \sum_{i=1}^{i=N} t_{p,i} = \sum_{i=1}^{i=N} t_{p0} \left( 1 + \frac{C_{G,(i+1)}}{\gamma C_{G,i}} \right) = N t_{p0} + \frac{t_{p0}}{\gamma} \sum_{i=1}^{i=N} \frac{C_{G,(i+1)}}{C_{G,i}}$$

gde je  $C_{G,(N+1)} = C_L$ . Ova funkcija ima minimum kada je

$$\frac{C_{G,2}}{C_{G,1}} = \frac{C_{G,3}}{C_{G,2}} = \dots = \frac{C_{G,i}}{C_{G,(i-1)}} = \frac{C_{G,(i+1)}}{C_{G,i}} \dots = \frac{C_L}{C_{G,N}}$$

odnosno kada je

$$C_{G,i} = \sqrt{C_{G,(i-1)} C_{G,(i+1)}}$$

$$f_i = f = \sqrt[N]{\frac{C_L}{C_{G,1}}} = \sqrt[N]{F}$$

U tom slučaju ukupno kašnjenje je

$$t_p = N t_{p0} \left( 1 + \frac{f}{\gamma} \right) = N t_{p0} \left( 1 + \frac{\sqrt[N]{F}}{\gamma} \right)$$

Dobijeni izraz možemo da posmatramo na dva načina:

1. Fiksiramo broj invertora u nizu  $N$ . Tražimo odnose dimenzija tako dobijemo minimalno kašnjenje. U tom slučaju

$$f = \sqrt[N]{\frac{C_L}{C_{G,1}}} = \sqrt[N]{F}$$

Invertor prvi u nizu je minimalne geometrije  $f_1 = 1$ . Drugi ima dimenzije tranzistora povećane  $f$  puta, a pošto nam treba ceo broj  $f_2 = \lfloor f + 0.5 \rfloor$  ( $\lfloor x \rfloor$ , ceo deo od  $x$ ,  $\lfloor x + 0.5 \rfloor$  najbliži ceo broj) treći  $f_3 = \lfloor f^2 + 0.5 \rfloor$ , itd... Ukupno kašnjenje je

$$t_p = N t_{p0} + \frac{t_{p0}}{\gamma} \sum_{i=1}^{i=N} \frac{f_{(i+1)}}{f_i}$$

2. Tražimo broj invertora u nizu  $N$  tako da dobijemo minimalno kašnjenje. U tom slučaju

$$t_p = N t_{p0} \left( 1 + \frac{f}{\gamma} \right) = N t_{p0} \left( 1 + \frac{\sqrt[N]{F}}{\gamma} \right)$$

diferenciramo po  $N$

$$\gamma + \sqrt[N]{F} - \frac{\sqrt[N]{F} \ln F}{N} = 0$$

i rešenje je

$$f = e^{(1 + \frac{\gamma}{f})}$$

Na žalost ovo rešenje nema „zatvorenu formu“ i približno numeričkim izračunavanjem kada je  $\gamma \approx 1$  iznosi  $f = 3.6$ . Znači u tom slučaju znajući ovo približno rešenje

$$f = \sqrt[N]{F} \Rightarrow N = \frac{\ln F}{\ln f} = \frac{\ln \left( \frac{C_L}{C_{G,1}} \right)}{\ln(3.6)}$$

Za  $N$  se bira najpribližniji neparan broj. Invertor prvi u nizu je minimalne geometrije  $f_1 = 1$ . Drugi ima dimenzije tranzistora povećane  $f = 3.6$  puta, a pošto nam treba ceo broj  $f_2 = \lfloor 3.6 + 0.5 \rfloor$  ( $\lfloor x \rfloor$ , ceo deo od  $x$ ,  $\lfloor x + 0.5 \rfloor$  najbliži ceo broj) treći  $f_3 = \lfloor 3.6^2 + 0.5 \rfloor$ , itd... Ukupno kašnjenje je

$$t_p = N t_{p0} + t_{p0} \sum_{i=1}^{i=N} \frac{f_{(i+1)}}{f_i}$$

Ili primerenije za ispit (a i u praksi je često tako)

$$f = \sqrt[N]{F} \Rightarrow N = \frac{\ln F}{\ln f} = \frac{\ln \left( \frac{C_L}{C_{G,1}} \right)}{\ln(4)}$$

Za  $N$  se bira najpribližniji neparan broj. Invertor prvi u nizu je minimalne geometrije  $f_1 = 1$ . Drugi ima dimenzije tranzistora povećane  $f_2 = 4$  puta, treći  $f_3 = 16$ , itd... Ukupno kašnjenje je

$$t_p = 5Nt_{p0}$$

Ono što sigurno treba da uočite jeste da će ovakav lanac kada nije opterećen parazitnom kapacitivnošću imati interno kašnjenje mnogo veće nego jedinični invertor. Ili ako mu se iz nekog razloga smanji parazitna kapacitivnost, neće imati optimalno kašnjenje. Zbog toga su se u realizaciji CMOS logičkih kola koristila i nebaferisna CMOS logička kola (ako očekujemo da parazitne kapacitivnosti na izlazu nisu velike a treba nam malo kašnjenje), ali i duplo baferisana CMOS logička kola gde su na izlaz standardnog logičkog kola dodavana dva invertora čije su tranzistora povećane 4 odnosno 16 puta u odnosu na tranzistore u osnovnom logikom kolu, čime je predviđena neka standardna parazitna kapacitivnost na izlazu 64 puta veća od ulazne kapacitivnosti u logičko kolo.

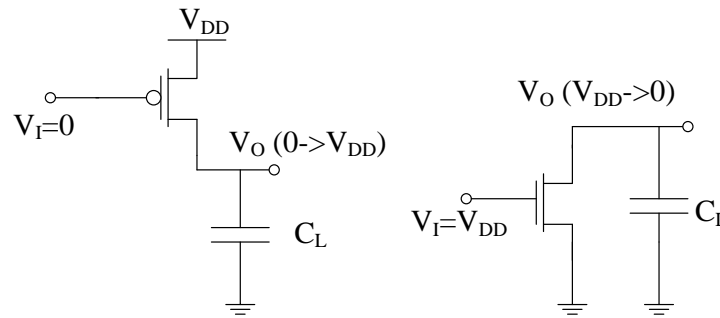
## Disipacija kod CMOS logičkih kola

Ono što do sada nismo eksplicitno računali, ali smo mogli intuitivno da vidimo na primer kod logičkih kola sa bipolarnim tranzistorima jeste da je disipacija kod takvih logičkih kola velika i da postoji i u statičkim režimima. Kod CMOS invertora ta statička disipacija je jako malo, pošto je uvek jedan tranzistor zakočen, odnosno ili je zakočen PUN ili PDN deo kola. Znači statičku disipaciju će predstavljati samo struje curenja i potpražni režim rada MOS tranzistora.

$$P_{stat} = V_{DD}I_{stat}$$

Međutim sa ovim zaključkom treba biti oprezan pošto se odnosi samo na jedan invertor. Kada su u pitanju složeni digitalni sistemi broj tranzistora u njima se kreće reda  $N_T \sim 10^9$ . Pa ako je na primer struja  $I_{stat} \sim 10^{-9} = 1nA$  da vidimo šta bi se desilo kada takav uređaj radi sa baterijom od 1000mAh (ovaj podatak znači da je kapacitet baterije takav da može da daje struju od 1000mA jedan sat, ili 10mA 100 sati itd...). Ukupna struja u statičkom režimu za pretpostavljeni slučaj bi bila  $\sum I_{stat} \sim 10^{-9} \times 10^9 = 1A$  i uređaj bi ispraznio bateriju za 1 sat a da „ništa nije radio“. Situacija u savremenim digitalnim sistemima je takva da se u tehnologijama izrade tranzistora poklanja velika pažnja kako bi se ove struje smanjile i u relanosti su daleko manje nego što su u našem pretpostavljenom slučaju. Ali ih ne treba zaboraviti.

Ali ono što je značajno za CMOS logička kola jeste dinamička disipacija. Dinamička disipacija nastaje iz dva razloga: kada se pune i prazne parazitne kapacitivnosti na izlazu, i zbog neidealnosti ulaznih signala koji će izazvati proticanje struje kratkog spoja kroz invertor.



U situaciji kada P tranzistor treba da napuni parazitnu kapacitivnost ukupna energija koja će se potrošiti iz izvora za napajanje je

$$E_{VDD} = \int_0^{\infty} i_{VDD}(t)V_{DD} dt = V_{DD} \int_0^{\infty} i_{CL}(t)dt = V_{DD} \int_0^{\infty} C_L \frac{u_{CL}(t)}{dt} dt$$

$$E_{VDD} = C_L V_{DD} \int_0^{V_{DD}} du_{CL}(t) = C_L V_{DD}^2$$

dok je na kraju procesa punjenja energija u kondenzatoru

$$E_{CL} = \frac{C_L V_{DD}^2}{2}$$

Razlika energija je disipirana na P tranzistoru.

$$E_P = E_{VDD} - E_{CL} = C_L V_{DD}^2 - \frac{C_L V_{DD}^2}{2} = \frac{C_L V_{DD}^2}{2}$$

U toku pražnjenja kondenzatora celokupna energija koja se nalazi u njemu će biti disipirana na N tranzistoru.

$$E_N = E_{CL} = \frac{C_L V_{DD}^2}{2}$$

Ukupna energija disipirana na invertoru je  $E_{dyn} = E_P + E_N = C_L V_{DD}^2$ . Ako se ovaj proces dešava sa učestanošću  $f = \frac{1}{T_P + T_N}$  gde je  $T_P$  trajanje logičke jedinice na ulazu, radi P tranzistor i  $T_N$  trajanje logičke jedinice na ulazu, radi N tranzistor dinamička disipacija na invertoru je

$$P_{dyn} = C_L V_{DD}^2 f$$

Ovaj rezultat je zanimljiv, pošto pokazuje da će dinamička disipacija biti „značajna“ zbog relativno velike parazitne kapacitivnosti i učestanosti na kojoj invertor radi. Ali iz još jednog razloga. Na primer većina procesora je predviđena da radi i na višim učestanostima nego što je deklarirano, odnosno od one na kojoj rade u sistemima. Poznato je da se mogu „overklokovati“ odnosno naterati da rade i na višim učestanostima. Ali je neophodno pored

povećana učestanosti povećati i napon napajanja. Zašto? Da se podsetimo kako izgleda kašnjenje invertora

$$t_p = 0.69R_{eq}C_{eq}$$

Da bi obezbedili da je ovo kašnjenje manje ili treba smanjiti  $R_{eq}$  ili  $C_{eq}$ .  $C_{eq}$  jedino smanjivanjem dimenzija što ne dolazi u obzir. Ali kako je na primer

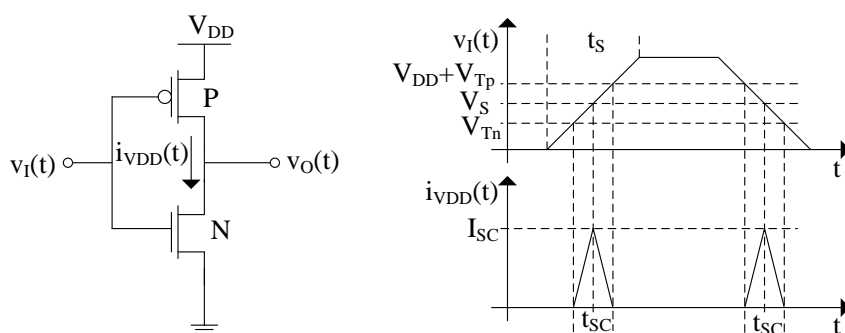
$$R_p \approx \frac{3}{4} \frac{V_{DD}}{I_{Dpsat}} \left(1 - \frac{7}{9} |\lambda_p| V_{DD}\right)$$

i

$$I_{Dpsat} = \frac{k_p}{2} \frac{1}{1 + \frac{-V_{DD} - V_{Tp}}{E_{Cp}L_p}} (-V_{DD} - V_{Tp})^2$$

Sigurno važi  $R_{eq} \sim \frac{1}{V_{DD}}$ , odnosno da bi smanjili dinamičke otpornosti a time i kašnjenje moramo povećati napon napojanja. Na žalost tada ćemo disipaciju povećati sa trećim stepenom pa parmao obezbediti znatno bolje hlađenje procesora. Overklokovanje bez povećanja napona napajanja neće uspeti, a bez povećanja hlađenja dovešće do stradanja procesora. Ali isto tako nam ovi rezultati pokazuju da je u sistemima koji su baterijski napajani, ograničen izvor energije, moguće uštedeti energiju, produžiti rad uređaja, tako što će se procesoru i digitalnim sistemima kada nisu potrebni smanjivati učestanost rada i napon napajanja. Tehnika (voltage frequency scaling) koja se koristi u svim mobilnim telefonima, laptopovima itd...

Drugi izvor disipacije na invertoru je struja kratkog spoja, odnosno situacija kada oba tranzistora provode zbog konačne brzine uzlaznih i silaznih ivica ulaznih signala.



U tom slučaju, sa pretpostavkom  $t_r = t_f$  i  $V_{Tn} = V_{Tp} = V_T$

$$E_{SC} = V_{DD} \frac{I_{SC} t_{SC}}{2} + V_{DD} \frac{I_{SC} t_{SC}}{2} = V_{DD} I_{SC} t_{SC}$$

$$I_{SC} = \frac{k_n}{2} \frac{1}{1 + \frac{V_S - V_{Tn}}{L_n E_{Cn}}} (V_S - V_{Tn})^2$$

$$t_{SC} = \frac{(V_{DD} + V_{Tn}) - V_{Tn}}{V_{DD}} t_S = \frac{V_{DD} - 2V_T}{V_{DD}} \frac{t_r}{0.8}$$

$$E_{SC} = I_{SC}(V_{DD} - 2V_T) \frac{t_r}{0.8}$$

$$P_{SC} = I_{SC}(V_{DD} - 2V_T) \frac{t_r}{0.8} f$$

Ukupna disipacija na invertoru je

$$P_{tot} = P_{stat} + P_{dyn} + P_{SC}$$

od čega je najznačajnija i najveća  $P_{dyn}$ . Iz tog razloga da bi se poredile različite tehnologije uveden je PDP (power delay product) faktor tehnologije (što je manji to bolje)

$$PDP = P_{dyn} t_p = C_L V_{DD}^2 f t_p$$

i ako se smatra da invertor radi na maksimalnoj učestanosti  $f_{max} = \frac{1}{2t_p}$

$$PDP = P_{dyn} t_p = C_L V_{DD}^2 \frac{1}{2t_p} t_p = \frac{C_L V_{DD}^2}{2}$$

Međutim danas se dosta često kao „bolji pokazatelj“ tehnologije (energija je bitna pogotovo za baterijski napajane uređaje) koristi faktor EDP (energy delay product) definisan kao

$$EDP = PDP t_p = \frac{C_L V_{DD}^2}{2} t_p$$

Što je manji to je bolja tehnologija.

Ako se podsetimo da je  $t_p \sim R_{eq} C_L$  i  $R_{eq} \approx \frac{3}{4} \frac{V_{DD}}{I_{Dsat}} \left(1 - \frac{7}{9} \lambda_p V_{DD}\right)$  i za kratki kanal kada nastupa „brzo“ zasićenje  $I_{Dsat} = W C_{oxn} v_{sat} \left(V_{DD} - V_T - \frac{V_{DSSat}}{2}\right)$  možemo izvesti zaključak da će

$$t_p \approx \frac{\alpha C_L V_{DD}}{V_{DD} - V_{Te}}$$

gde je  $\alpha$  koeficijent proporcionalnosti a  $V_{Te} = V_T + \frac{V_{DSSat}}{2}$ . U tom slučaju

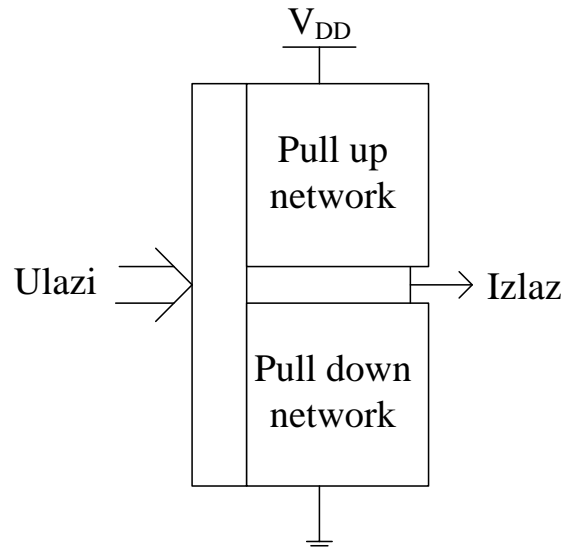
$$EDP = \frac{C_L V_{DD}^2}{2} \frac{\alpha C_L V_{DD}}{V_{DD} - V_{Te}} = \frac{\alpha}{2} \frac{C_L^2 V_{DD}^3}{V_{DD} - V_{Te}}$$

Čemu sve ovo? Da bi eventualno odredili optimalno napajanje  $V_{DD}$  kako bi EDP bio minimalan. Diferenciranjem po  $V_{DD}$  dobijamo da je

$$V_{DDopt} = \frac{3}{2} V_{Te} = \frac{3}{2} \left( V_T + \frac{V_{DSSat}}{2} \right)$$

## Složena CMOS logička kola

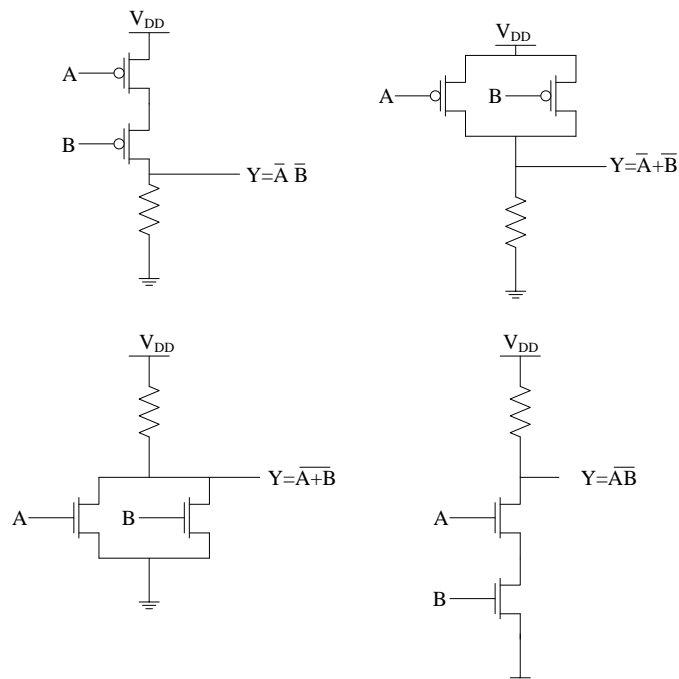
U uvodnom delu smo videli da će u opštem slučaju logičko kolo moći da se predstavi na sledeći način



gde je:

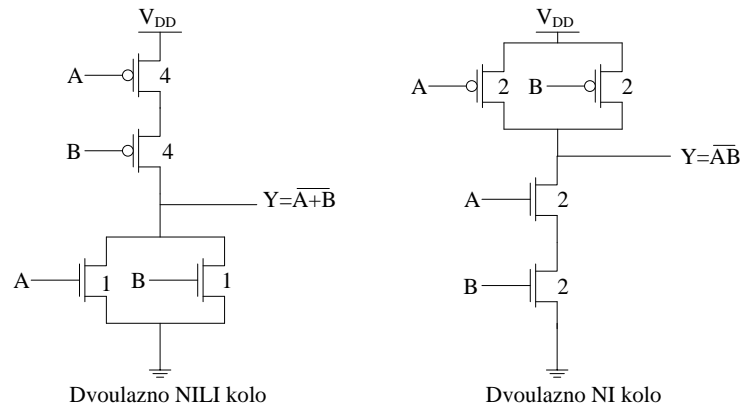
1. Pull up network (PUN) deo kola koji na izlazu obezbeđuje logičku jedinicu
2. Pull down network (PDN) deo kola koji na izlazu obezbeđuje logičku nulu

i da su nam idealni kandidati za PUN mrežu pMOS tranzistori a za PDN mrežu nMOS tranzistori čijim rednim i paralelnim pozivanjem dobijamo odgovarajuće funkcije.





Uočavajući koje su funkcije realizovane i da su u pitanju dualne funkcije možemo direktno nacrtati dvoulazno NILI kolo kao i dvoulazno NI kolo. Na slici su istovremeno označene i dimenzije tranzistora, odnosno potrebne širine tranzistora da bi se u najgorem slučaju dobile karakteristike „identične“ jediničnom invertoru kod koga smo pretpostavili odnos širina kanala 2:1.



Dvoulazno NILI kolo:

U PDN mreži se nalaze dva paralelno povezana nMOS tranzistora. Ako radi PDN mreža najgora situacija sa stanovišta ekvivalentne otpornosti je ako radi samo jedan tranzistor. Zato njihove normirane širine ostaju 1.

U PUN mreži se nalaze dva redno povezana pMOS tranzistora. Ako radi PUN mreža najgora situacija je da rade oba tranzistora čija je sada ekvivalentna dužina kanala 2 (dva redno povezana kanala). Da bi dobili ukupnu ekvivalentnu širinu 2, očigledno je da pojedine širine tranzistora moraju biti 4. ( $\frac{W}{1+1} = 2$ ).

Dvoulazno NI kolo:

U PDN mreži se nalaze dva redno povezana nMOS tranzistora. Ako radi PDN mreža najgora situacija je da rade oba tranzistora čija je sada ekvivalentna dužina kanala 2 (dva redno povezana kanala). Da bi dobili ukupnu ekvivalentnu širinu 1, očigledno je da pojedine širine tranzistora moraju biti 2. ( $\frac{W}{1+1} = 1$ ).

U PUN mreži se nalaze dva paralelno povezana pMOS tranzistora. Ako radi PUN mreža najgora situacija sa stanovišta ekvivalentne otpornosti je ako radi samo jedan tranzistor. Zato njihove normirane širine ostaju 2.

Ako se pogledaju ove dve konfiguracije jasno je i zašto se u praksi realizacije obično rade sa dvoulaznim NI logičkim kolima. Ukupna normirana površina koju zauzimaju tranzistori kod dvoulaznog NI logičkog kola je 8 naspram 10 kod dvoulaznog NILI logičkog kola. Površina NI logičkog kola je 20% manja od NILI logičkog kola.

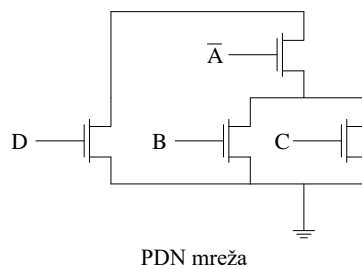
Na identičan način možemo realizovati i složenija logička kola sa više ulaza. Na primer funkciju

$$F = \overline{D + \bar{A}(B + C)}$$

PDN mreža kao što smo videli pravi funkciju kod paralelno povezanih tranzistora  $\bar{A} + B$  a kod redno  $\bar{A}\bar{B}$  odnosno najbolje bi bilo da za realizaciju funkcije posmatramo oblik  $\bar{F}$  odnosno

$$\bar{F} = D + \bar{A}(B + C)$$

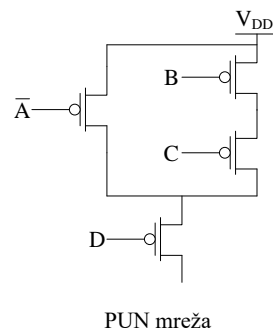
i u tom slučaju svako ILI daje paralelnu vezu a svako I rednu vezu, dok se na ulazima tranzistora nalaze promenljive sa pravim vrednostima iz ovakvog načina prikazivanja



PUN mreža kao što smo videli pravi funkciju kod paralelno povezanih tranzistora  $\bar{A} + \bar{B}$  a kod redno  $\bar{A}\bar{B}$  odnosno najbolje bi bilo da za realizaciju funkcije posmatramo oblik  $F$  u kojem se pojavlju promenljive sa komplementnom vrednosti u odnosu na PDN mrežu

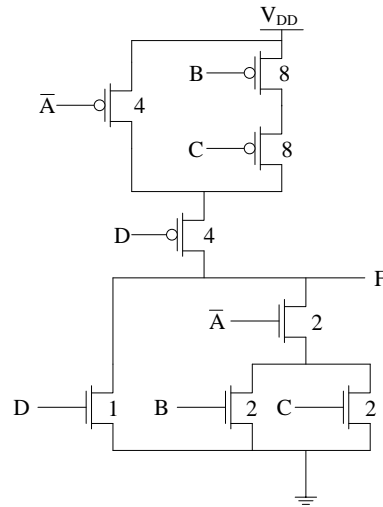
$$F = \bar{D}(A + \bar{B}\bar{C})$$

i u tom slučaju svako ILI daje paralelnu vezu a svako I rednu vezu, dok se na ulazima tranzistora nalaze promenljive sa komplementnim vrednostima iz ovakvog načina prikazivanja (što odgovara pravim vrednostima iz PDN mreže)



Prilikom pravljenja PUN mreže mogli smo odmah da uzmemo u obzir prirodu dualnosti ovih mreža. Posmatrajući PDN mrežu - paralelne veze iz PDN mreže postaju redne veze u PUN mreži, redne veze iz PDN mreže postaju paralelne veze u PUN mreži. Na primer: tranzistor sa ulazom D je bio u PDN mreži paralelno povezan sa ostatkom mreže, dok će u PUN mreži biti redno povezan sa ostatkom mreže. Itd...

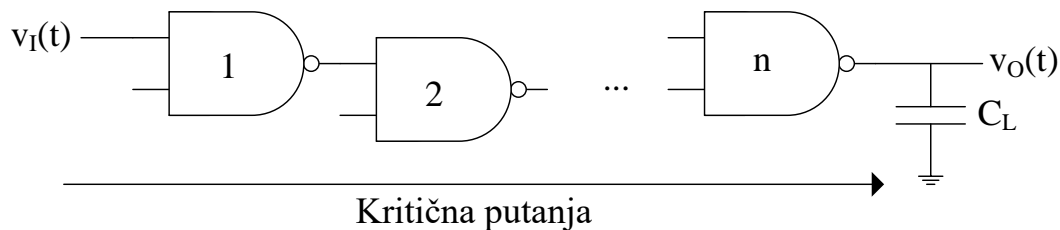
Kolo koje ostvaruje funkciju  $F = \overline{D + \overline{A}(B + C)}$  je



Na slici su prikazane i potrebne širine tranzistora da bi se u najgorem slučaju obezbedila „identičnost“ sa jediničnim invertorom.

### Logical effort – logički trud

Na sličan način na koji smo optimizovali kašnjenje u lancu invertora možemo optimizovati kašnjenje i u lancu složenih, višulaznih, CMOS logičkih kola. U lancu složenih kola prvo uočimo kritičnu putanju.



Pod pojmom kritične putanje se podrazumeva prolazak signala kroz najveći broj logičkih kola, odnosno putanju po kojoj je kašnjenje najveće od ulaza do izlaza.

Da bi ipak malo drugačije posmatrali, a ne da svaki put izvodimo iste jednačine za različite tipove logičkih kola, zbog njihove različite ulazne i izlazne kapacitivnosti, vrat ćemo se na polazne jednačine kod izvođenja u lancu invertora, odnosno na izraz za kašnjenje prvog jediničnog invertora

$$t_{p1} = 0.69R_{eq1}(C_{int1} + C_{ext1})$$

Uvešćemo pojam karakteristične vremenske konstante jediničnog invertora. U tom smislu ulazna kapacitivnost, kapacitivnosti gejtova, jediničnog invertora je

$$C_{in} = C_{OX}(W_n L_n + W_p L_p)$$

Uz pretpostavku  $L_n = L_p = L$  i  $W_p = 2W_n = 2W$

$$C_{in} = 3C_{OX}WL = 3W_n C_g$$

gde je  $C_g = C_{OX}L_n$  normirana kapacitivnost po širini kanala tranzistora. U tom slučaju karakteristična vremenska konstanta jediničnog invertora je

$$\tau_{inv} = 0.69R_{eq}C_{in} = 3WC_g \times 0.69R_{eq}$$

U tom slučaju

$$t_{p1} = 0.69R_{eq1}(C_{int1} + C_{ext1}) = 0.69R_{eq1}C_{in} \left( \frac{C_{ext1}}{C_{in}} + \frac{C_{int1}}{C_{in}} \right)$$

$$t_{p1} = \tau_{inv} \left( \frac{C_{ext1}}{C_{in}} + C \right)$$

i mogli smo da nastavimo optimizaciju sa ovim izrazom kod lanca invertora,

$$t_p = \sum_{i=1}^{i=N} t_{p,i} = \sum_{i=1}^{i=N} 0.69R_{eq,i}C_{in,i} \left( \frac{C_{ext,i}}{C_{in,i}} + \frac{C_{int,i}}{C_{in,i}} \right) = \sum_{i=1}^{i=N} \tau_{inv} \left( \frac{C_g W_{i+1}}{C_g W_i} + \gamma \right)$$

$$t_p = \sum_{i=1}^{i=N} \tau_{inv} \left( \frac{W_{i+1}}{W_i} + \gamma \right)$$

gde je  $C_g W_{N+1} = C_L$  i  $R_{eq,i}C_{in,i} = \frac{R_{eq1}}{f}(C_{in1}f) = R_{eq1}C_{in1}$ . Dobili bi isti rezultat. Karakteristična vremenska konstanta jediničnog invertora je praktično jednaka kašnjenju jediničnog invertora kada nije opterećen i pod uslovom da je  $\gamma \approx 1$ .

Na isti način na koji smo do sada radili mogli bi da napišemo izraze i za lanac NI logičkih kola. Za prvo NI logičko kolo u lancu

$$t_{p1} = \tau_{NAND} \left( \frac{C_{ext1}}{C_{in}} + \gamma_{NAND} \right)$$

i ukupno kašnjenje

$$t_p = \sum_{i=1}^{i=N} \tau_{NAND} \left( \frac{W_{i+1}}{W_i} + \gamma_{NOR} \right)$$

pri čemu je uz pretpostavke za NAND  $L_n = L_p = L$  i  $W_p = W_n = 2W$

$$\tau_{NAND} = 4WC_g \times 0.69R_{eq}$$

Na isti način na koji smo do sada radili mogli bi da napišemo izraze i za lanac NILI logičkih kola. Za prvo NILI logičko kolo u lancu

$$t_{p1} = \tau_{NOR} \left( \frac{C_{ext1}}{C_{in}} + \gamma_{NOR} \right)$$

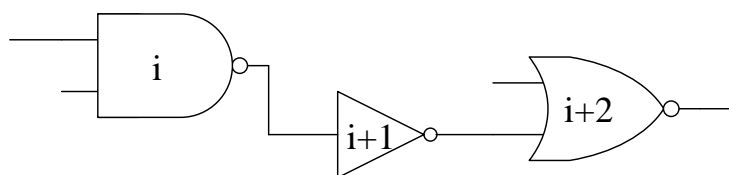
i ukupno kašnjenje

$$t_p = \sum_{i=1}^{i=N} \tau_{NOR} \left( \frac{W_{i+1}}{W_i} + \gamma_{NOR} \right)$$

pri čemu je uz pretpostavke za NOR  $L_n = L_p = L$  i  $W_p = 4W_n = 4W$

$$\tau_{NOR} = 5WC_g \times 0.69R_{eq}$$

Međutim u realnim primenama je teško očekivati da će kritična putanja prolaziti kroz lanac gde se nalaze potpuno identična kola. Da vidimo šta bi bilo u slučaju da je deo kritične putanje



i da probamo da optimizujemo kašnjenje kroz taj deo. Ukupno kašnjenje će biti

$$t_p = \tau_{NAND} \left( \frac{C_{g,i+1}}{C_{g,i}} + \gamma_{NAND} \right) + \tau_{inv} \left( \frac{C_{g,i+2}}{C_{g,i+1}} + \gamma_{inv} \right) + \tau_{NOR} \left( \frac{C_{g,i+3}}{C_{g,i+2}} + \gamma_{NOR} \right)$$

Deo kašnjenja kroz prva dva kola je

$$t_{p,i(i+1)} = \tau_{NAND} \left( \frac{C_{g,i+1}}{C_{g,i}} + \gamma_{NAND} \right) + \tau_{inv} \left( \frac{C_{g,i+2}}{C_{g,i+1}} + \gamma_{inv} \right)$$

Ako želimo da minimizujemo taj deo kašnjenja izvorom kapacitivnosti  $C_{g,i+1}$

$$\frac{\partial t_{p,i(i+1)}}{\partial C_{g,i+1}} = \tau_{NAND} \left( \frac{1}{C_{g,i}} \right) - \tau_{inv} \left( \frac{C_{g,i+2}}{(C_{g,i+1})^2} \right) = 0$$

$$\tau_{NAND} \left( \frac{C_{g,i+1}}{C_{g,i}} \right) = \tau_{inv} \left( \frac{C_{g,i+2}}{C_{g,i+1}} \right)$$

$$\tau_{NAND} FO_i = \tau_{inv} FO_{i+1}$$

gde je  $FO_i = \frac{C_{g,i+1}}{C_{g,i}}$  i  $FO_{i+1} = \frac{C_{g,i+2}}{C_{g,i+1}}$ . FO – fan out. I kao što smo negde ranije rekli kod CMOS logičkih kola neće mogućnosti povezivanja više ulaza na jedan izlaz odrediti statičke karakteristike nego odnosi ovih kapacitivnosti kako bi se dobilo što manje kašnjenje.

Na isti način za sledeća dva kola u posmatranom primeru bi dobili

$$\tau_{inv} FO_{i+1} = \tau_{NOR} FO_{i+2}$$

Rezultat koji je dobijen praktično znači da bi dobili minimalno kašnjenje proizvodi  $\tau FO$  po svakom gejtju moraju biti izjednačeni. (uobičajen naziv za standardno logičko kolo je gejt).

Prilikom analize kritičnih putanja i sinteze digitalnih sistema sa što manjim kašnjenjem uvodi se formalniji metod posmatranja doprinosa kašnjenju svakog kola. Na primer kašnjenje koje smo posmatrali može da se napiše i u obliku

$$\frac{t_p}{\tau_{inv}} = \frac{\tau_{NAND}}{\tau_{inv}} \left( \frac{C_{g,i+1}}{C_{g,i}} + \gamma_{NAND} \right) + \frac{\tau_{inv}}{\tau_{inv}} \left( \frac{C_{g,i+2}}{C_{g,i+1}} + \gamma_{inv} \right) + \frac{\tau_{NOR}}{\tau_{inv}} \left( \frac{C_{g,i+3}}{C_{g,i+2}} + \gamma_{NOR} \right)$$

normalizovano na „kašnjenje“ jediničnog invertora. Odnosi  $\frac{\tau_{NAND}}{\tau_{inv}}$ ,  $\frac{\tau_{inv}}{\tau_{inv}}$  i  $\frac{\tau_{NOR}}{\tau_{inv}}$  nazivaju se logičkim trudom pojedinih kola (logical effort) – LE. U tom slučaju normalizovano kašnjenje možemo da napišemo u obliku

$$D = \frac{t_p}{\tau_{inv}} = (LE_{NAND} FO_i + P_{NAND}) + (LE_{inv} FO_{i+1} + P_i) + (LE_{OR} FO_{i+1} + P_{OR})$$

ili u opštem slučaju za bilo koju kritičnu putanju

$$D = \sum_i (LE_i FO_i + P_i)$$

gde je:

$$LE_i = \frac{\tau_i}{\tau_{inv}} - \text{logical effort}$$

$$FO_i = \frac{C_{g,i+1}}{C_{g,i}} - \text{fan out}$$

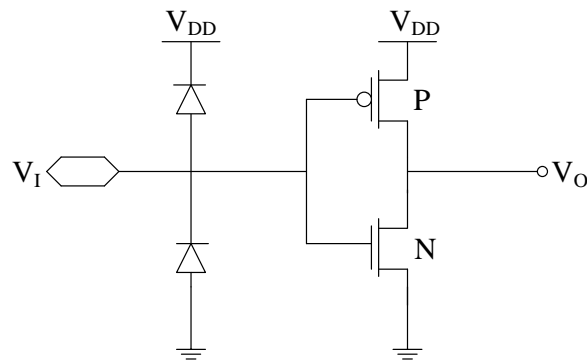
$$P_i \text{ parazitna komponenta kola } P_i = LE_i \gamma_i (,$$

Na osnovu prethodnih rezultata za  $LE_{inv} = 1$ ,  $P_{inv} = \frac{1}{2}$  a za dvoulazna kola  $LE_{NAND} = \frac{4}{3}$ ,  $P_{NAND} = 1$ ,  $LE_{NOR} = \frac{5}{3}$ ,  $P_{NOR} = 1.5$ . I to je takođe razlog što se NI logička kola „rađe“ koriste  $LE_{NAND} < LE_{NOR}$ .

**ESD zaštita**

(Electro Static Discharge)

Osnova rada CMOS logičkih kola jeste tanak oksid na gejtju tranzistora. Sam ulazak u gejt je visokoimpedansna tačka koja ako služi kao ulaz spoljnih signala nema putanju ni prema napajanju ni prema masi. Bilo koja relativno mala količina naelektrisanja dovedena na taj ulaz može izazvati velika polja na gejtju a time i probijanje oksida gejtja. Zbog toga se na gejttove odnosno ulazne priključke obavezno stavljaju zaštitne diode

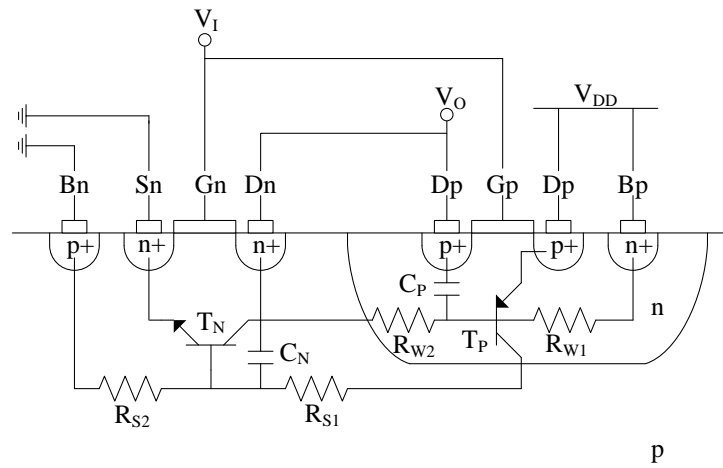


čija je uloga da obezbede odvođenje viška naelektrisanja prema napajanju odnosno prema masi i da ne dozvole potencijale na gejtovima tranzistora većim od napona napajanja odnosno nižim od naponu mase.

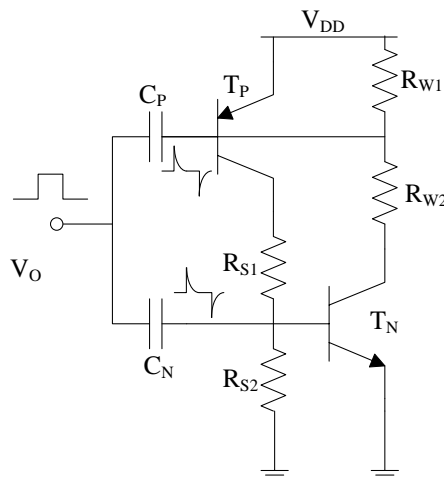
CMOS logička kola su izuzetno osetljiva na statičko naelektrisanje pa je jedno od opštih pravila da pinovi CMOS logičkih kola ne smeju da se dodiruju rukama. Takođe rukovanje sa CMOS logičkim kolima podrazumeva da i oprema i operater budu „uzemljeni“ odnosno na potencijalu mase, na kojem se nalazi i logičko kolo.

## Latch-Up

Jedan od velikih problema koji se pojavljuje kod CMOS logičkih kola zbog njihove interne strukture i parazitnih efekata jeste pojava lečapa (Latch-Up).



Dimenzije tranzistora su male i dovoljne da se formiraju dva parazitna tranzistora u npn i pnp oblastima. Ovi tranzistori imaju „usku“ bazu i mogu da rade sa relativno velikim pojačanjima. Izdvojena parazitna struktura je



Ono što se može uočiti sa slike je da kondenzatori, parazitne kapacitivnosti,  $C_p$  i  $C_N$  u odnosu na izlazni signal i baze tranzistora  $T_N$  i  $T_P$  imaju diferencijatorski efekat. Što je brzina porasta signala na izlazu veća to će i ovaj efekat biti izraženiji. Može se desiti da impuls na bazi tranzistora  $T_N$  bude dovoljno veliki da se uključi tranzistor. Tada započinje pozitivna reakcija i nastaje lečap. Tranzistor  $T_N$  kada provede izazvaće pad napona na otporniku  $R_{W1}$  što dovodi do uključivanja tranzistora  $T_P$ . Uključenje tranzistora  $T_P$  izaziva pojavu napona na otporniku  $R_{S1}$  što dalje obezbeđuje bolje provođenje tranzistora  $T_N$ , veći pad napona na otporniku  $R_{W1}$ , bolje provođenje tranzistora  $T_P$ , veći pad napona na otporniku  $R_{S1}$ , bolje provođenje tranzistora  $T_N$  ... Pozitivna reakcija koja će se završiti tako što i tranzistori  $T_N$  i  $T_P$  vode bez



ikakvih spoljnih dodatnih uslova, i ostvaruju kratak spoj između napajanja i mase. Do iste pozitivne reakcije vodi i situacija ako se prvo uključi tranzistor  $T_P$  negativnim impulsom iza diferencijatora.

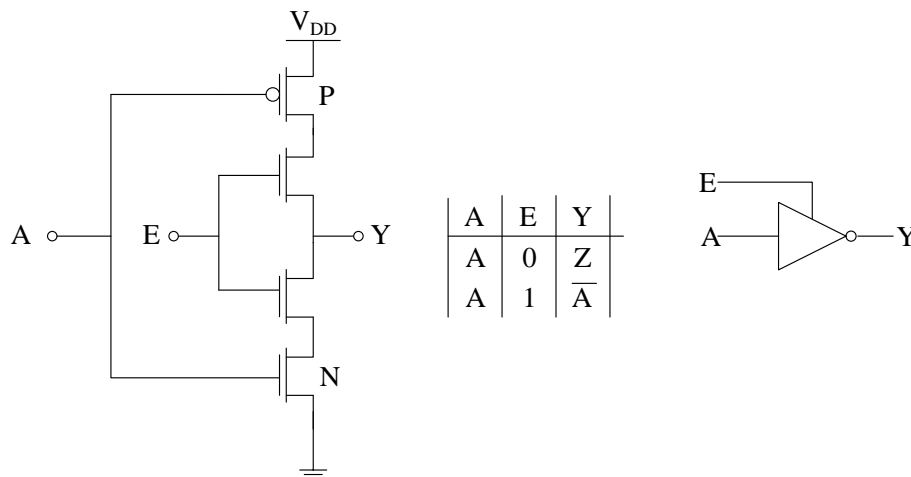
Lečap može da bude destruktivan za komponentu, ali u mnogim slučajevima disipacija nije dovoljna za destrukciju zbog ograničenog strujnog kapaciteta izvora za napajanje. Ali će baš iz tog razloga napon napajanja pasti i onemogućiti ispravno funkcionisanje komponente.

Ako se lečap pojavio, da bi nestao mora da se ukloni napon napajanja.

Pojava lečapa najčešće nastaje kod delova kola koja su povezana na „spojni svet“, kada prilikom nestajanja ili uspostavljanja napona napon na izlaznim priključcima naglo raste. Zbog toga se često kod ovih komponenti povećava vreme uspona i pada signala, odnosno smanjuje brzina porasta signala na izlazu. Druga tehnika je da se oblasti P i N tranzistora okruže prstenovima koji će biti direktno povezani na napajanje odnosno na masu kako bi se efektivno smanjio uticaj jednog tranzistora na drugi.

## Trostatička CMOS logička kola

Umesto da se istovremeno koče tranzistori u PUN i PDN mreži kao što smo imali kod logičkih kola sa bipolarnim tranzistorima, kod CMOS logičkih kola se ubacuju dodatni tranzistori između PUN i PDN mreže koji se istovremeno koče ili vode, kako bi se ostvarilo stanje visoke impedanse odnosno normalan režim rada.



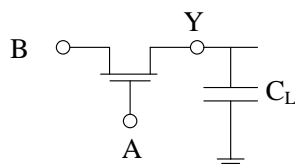
Uočite da su oba tranzistora koja su „ubačena“ prema izlazu nMOS tranzistori koji će istovremeno biti zakočeni kada je na ulazu E napon logičke nule, a imati oba uslove za provođenje kada je na ulazu E napon logičke jedinice. Koji će zaista provoditi zavisi, kada imaju uslove za provođenje zavisiće od stanja PUN odnosno PDN mreže. Ne zaboravite da sada postoje i kašnjenja  $t_{pLZ}$ ,  $t_{pHZ}$ ,  $t_{pZL}$  i  $t_{pZH}$ , koja su ovde evidentno prouzrokovana kašnjenjem kroz dva dodatna tranzistora.

## PTL logička kola

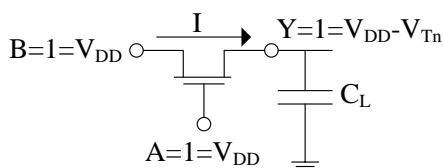
(pass transistor logic)

Prolazna logička kola su nastala u cilju da se smanji broj potrebnih tranzistora, odnosno površina koju zauzimaju. Ovo smanjenje je naročito moguće kod selektorskih logičkih funkcija: ako je  $A$  onda ..., a kao nije  $A$  odnosno jeste  $\bar{A}$  onda ...

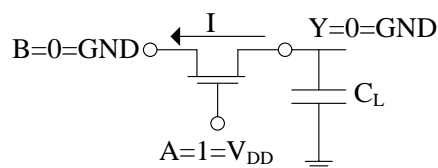
Osnovna ideja prolaznih logičkih kola je kontrola prenosa signala sa ulaza na izlaz putem jednog tranzistora



podrazumevajući da je izlaz kapacitivno opterećen (često se zbog toga svrstava i u „dinamička“ logička kola, mada je princip rada ipak drugačiji). Samo je jedan nMOS tranzistor koji je simetrične strukture pa može da vodi u oba smera



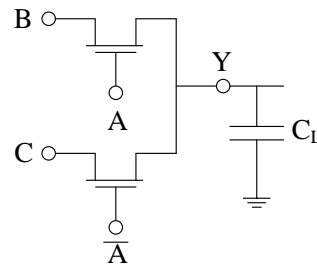
1. slučaj



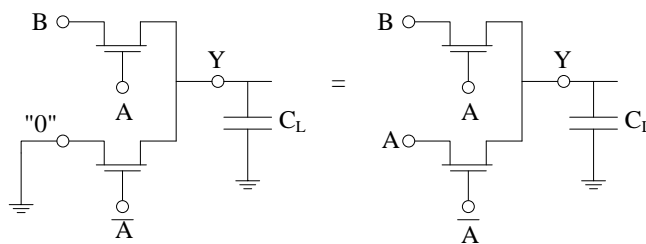
2. slučaj

Na slici su prikazana dva slučaja gde je  $A$  kontrolni, selekcionni signal, a prenosi se funkcija  $B$ . U 1. slučaju kada je aktivan selekcionni signal  $A = 1$  i funkcija  $B$  ima vrednost 1 izlazna kapacitivnost će se preko selekcionog, prolaznog, tranzistora napuniti na napon logičke jedinice ali na žalost na napon  $V_Y = V_{DD} - V_{Tn}$  ili tačnije  $V_Y = V_B - V_{Tn}$  i dolazi do degradacije, smanjenja, napona logičke jedinice. Na kraju prelaznog režima prolazni tranzistor radi u zasićenju ( $V_{DG} \approx 0, I = 0, V_{GS} = V_{GTn}$ ). U 2. slučaju kada je aktivan selekcionni signal  $A = 1$  i funkcija  $B$  ima vrednost 0 izlazna kapacitivnost će se preko selekcionog, prolaznog, trnazistora isprazniti na napon logičke logičke nule. Na kraju prelaznog režima prolazni tranzistor radi u omskoj oblasti ( $I = 0, V_{GS} \approx V_{DD}, V_{DS} = 0$ ).

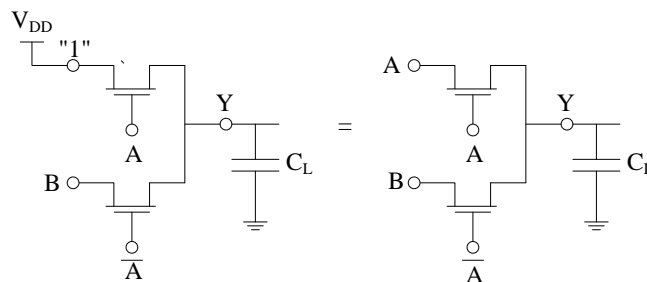
Problem koji nastaje je šta ako je selekcionni signal  $A = 0$ . U tom slučaju bi prolazni tranzistor bio zakočen i kapacitivnost na izlazu bi ostala na nivou na kojem je bila pre dovođenja selekcionog signala na 0 odnosno izlaz bi bio u stanju visoke impedanse. Nije nam to cilj. Zato moramo obezbediti i šta se dešava u ovom slučaju, odnosno vraćamo se na početnu ideju, selektorskih logičkih funkcija.



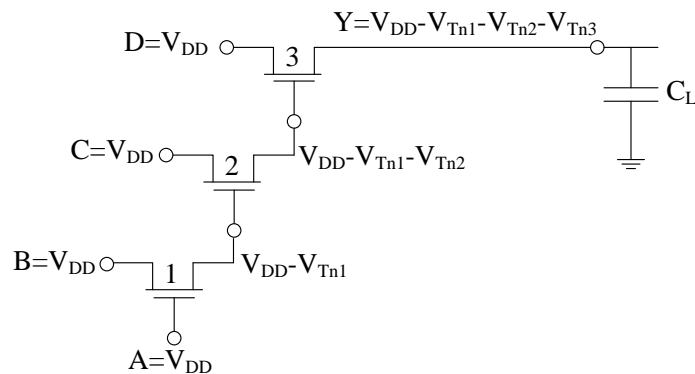
U ovoj konfiguraciji ne postoji problem visoke impedanse na izlazu, uvek vodi jedna grana i izlaz će uvek biti definisan  $Y = AB + \bar{A}C$ . U tom smislu mogli smo napraviti i dvoulazno I logičko kolo



ili dvoulazno ILI kolo, itd..

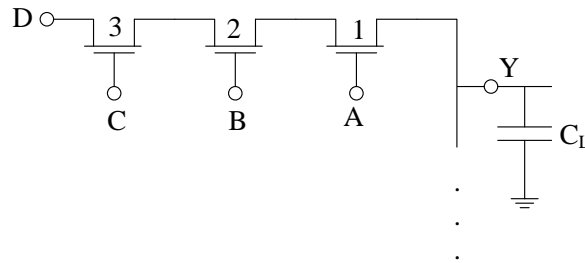


Ono što takođe treba da uočite da u 1. slučaju koji smo imali dolazi principski do još veće degradacije naponskih nivoa pošto je tada sors nMOS tranzistora na viskom potencijalu, različitom od potencijala osnove pa dolazi i do izražaja promene praga  $V_{Tn}$  zbog različitih potencijala sorsa i osnove. U tom smislu ako bi želeli da napravimo višedulaznu logiku na način



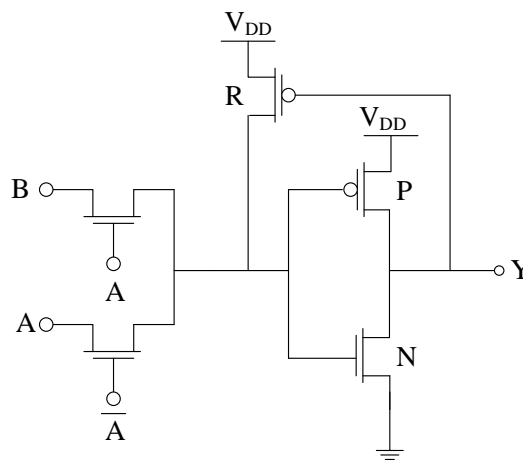
u situaciji prikazanoj na slici došlo bi do značajne degradacije logičkih signala na izlazu pri čemu su zbog različitih polarizacija sorsa u odnosu na osnovu i različiti pragovi  $V_{Tn}$  pojedinih tranzistora. Osnove se kao i uvek na potencijalu mase.

Pravilno povezivanje je



koje će u istoj situaciji  $V_A = V_B = V_C = V_D = V_{DD}$  dati  $V_Y = V_{DD} - V_{Tn}$ . Normalno ostatak mreže je realizovan na način selektorskih funkcija da bi se izbeglo neodređeno stanje na izlazu odnosno stanje visoke impedanse.

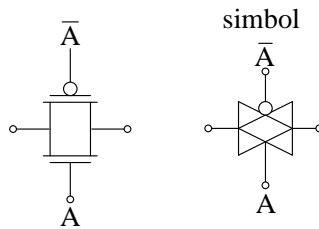
Da degradirani naponski nivoi ne bi dalje propagirali u ostatak kola na izlaz dela koji je realizovan prolaznom logikom po pravilu se dodaje standardno CMOS logičko kolam odnosno invertor, čime se dobijaju na primer i NI, NILI logička kola itd...



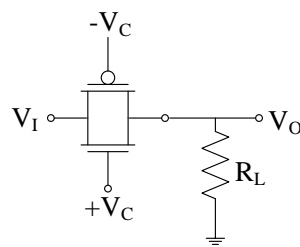
Na slici je prikazana i dodatna mogućnost, odnosno dodavanje tranzistora R za restauraciju naponskih nivoa. Kada prolazna logika treba da da logičku jedinicu na izlazu invertora će biti logička nula. Tada će voditi tranzistor R i on će dopuniti parazitne kapacitivnosti do pravog napona, napona logičke jedinice odnosno  $V_{DD}$ . Međutim treba voditi računa o dimenzijama tranzistora R pošto prilikom prelaska izlaza sa logičke nule na logičku jedinicu treba obezbediti da tranzistori prolazne logike mogu da daju dovoljan napon logičke nule kako bi se tranzistor N zakočio. Ova situacija je praktično identična kao kod pseudo NMOS invertora koji treba da da logičku nulu na izlazu. Jednačine i odnosi su tamo definisani.

## Transmisioni gejt

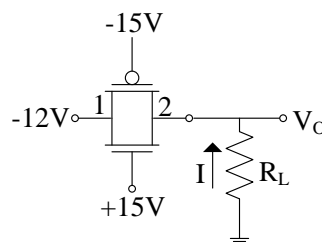
Da bi se izbegao problem degradacije naponskih nivoa u realizaciji, pogotovo analognih delova digitalnog sistema koriste se transmisioni gejtovi ili bilateralni prekidači. Paralelno sa nMOS tranzistorom dodaje se pMOS tranzistor kako bi se obezbedilo provođenje „prekidača“ u raznim uslovima rada. Takođe se koristi pretežno u realizaciji selektorskih funkcija.



Na slici namerno nisu označeni ulazni i izlazni priključci pošto je struktura simetrična i potpuno je svejedno gde će biti ulaz odnosno izlaz. Da bi bolje uočili način rada da vidimo šta se dešava u raznim situacijama kada se koristi kao analogni prekidač odnosno tada se najčešće i zove bilateralnim prekidačem. Smatraćemo da je kontrolni napon  $V_C = \pm 15V$  a videćemo šta se dešava kada se na ulazu menja napon  $-12V \leq V_I \leq +12V$



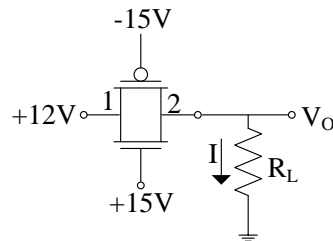
Slučaj  $V_C = +15V$ ,  $V_I = -12V$



N tranzistor sigurno ima uslove za provođenje tako što će mu sors biti na strani 1. Radi sa velikim naponima između gejta i sorsa i sa velikom strujom. Struja kroz  $R_L$  će teći u smeru prikazanom na slici pa je napon na drejnu N tranzistora negativan i on sigurno radi u omskoj oblasti. Ako je otpornost  $R_L$  mnogo veća od dinamičke otpornosti N tranzistora koji radi u omskoj oblasti  $V_O \approx -12V$ , bez degradacije naponskih nivoa. Bitno je da uočite šta se dešava sa P tranzistorom. Pod pretpostavkom da je  $V_{Tn} \approx -V_{Tp} < 3V$  i tranzistor P ima uslove za

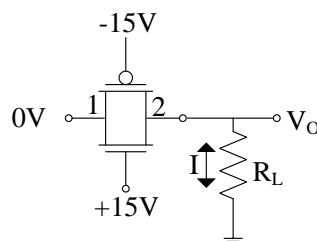
provođenje. Njegov napon između gejta i sorsa je  $V_{GS} < V_{Tp}$ . Sors mu je na strani 2. Zbog malog napona između drejna i sorsa (obežbeđuje N tranzistor) on je takođe u omskoj oblasti, ali zbog relativno malog napona između sorsa i gejta sa velikom otpornošću.

Slučaj  $V_C = +15V$ ,  $V_I = -12V$



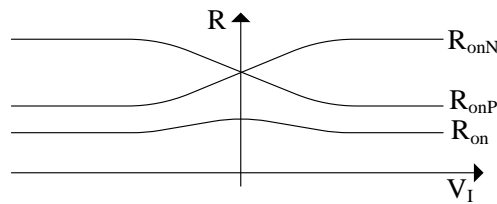
Sada P tranzistor ima sjajne uslove za provođenje. Sors mu je sa strane 1, pa je napon između sorsa i gejta velik. Zbog toga će radi sa velikom strujom koja je u smeru kako je prikazano na slici. Napon na drejnu će biti pozitivan i on će raditi u omskoj oblasti. Ako je otpornost  $R_L$  velika i veća od dinamičke otpornosti tranzistora izlazni napon će biti  $V_O \approx +12V$ . Bitno je da uočite šta se dešava sa N tranzistorom. Njegov napon između gejta i sorsa je  $V_{GS} > V_{Tn}$ . Sors mu je na strani 2. Zbog malog napona između drejna i sorsa (obežbeđuje P tranzistor) on je takođe u omskoj oblasti, ali zbog relativno malog napona između gejta i sorsa sa velikom otpornošću.

Slučaj  $V_C = +15V$ ,  $V_I = 0V$

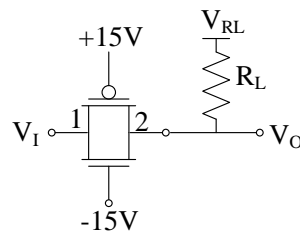


Da vidimo za N tranzistor. Ima sigurno uslove za provođenje. Ako mu je sors na strani 1 struja kroz otpornik  $R_L$  bi tekla iz mase pa bi napon na drejnu tranzistora bio negativan, što nije moguće. Ako pretpostavimo da mu je sors na strani 2, struja kroz otpornik  $R_L$  bi tekla u masu, pa bi napon na sorsu bio veći od napona na drejnu što takođe nije moguće. Nebitno na kojoj strani je sors, očigledno je da N tranzistor mora da radi sa strujom koja je jednaka nuli odnosno da radi u omskoj oblasti sa malom dinamičkom otpornosti. Potpuno identično razmišljanje možemo da izvedemo i za P tranzistor, odnosno dolazimo do zaključka da će  $V_O = 0V$ .

U sva tri slučaja imamo da se ulazni napon prenosi na izlaz bez degradacije naponskih nivoa i da uvek rade oba tranzistora. U zavisnosti od ulaznog napona uvek će jedan raditi sa malom dinamičkom otpornošću

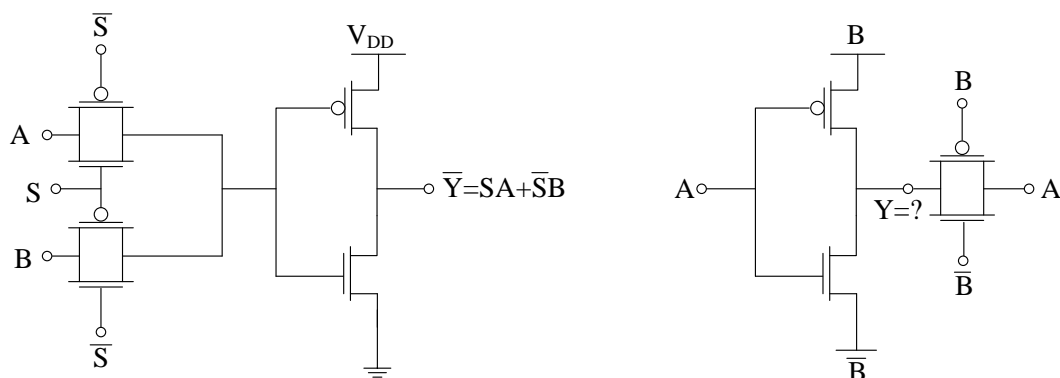


Slučaj  $V_C = -15V$ ,



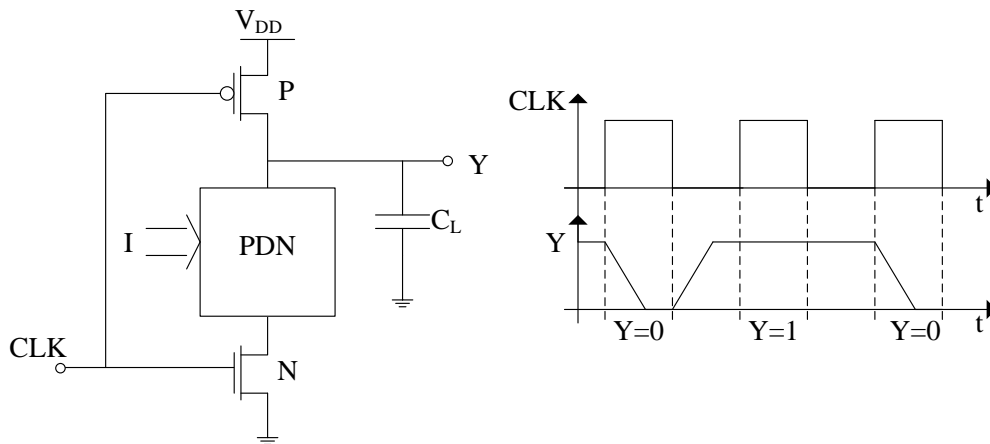
Ako je ulazni napon  $-12V \leq V_I \leq +12V$  ni N ni P tranzistor nemaju uslove za provođenje tako da će izlaz prekidača biti u stanju visoke impedanse, otvoren prekidač, a u situaciji na slici  $V_O = V_{RL}$  bez obzira koliki je napon  $V_{RL}$ , bitno je samo da je iz opsega  $\pm 15V$ .

Situacija kada se prekidač koristi kao transmisioni gejt u digitalnoj logici je potpuno identična. Ako je kontrolni signal jednak 1 na N tranzistoru i 0 na P tranzistoru oba tranzistora „imaju uslove za provođenje“ u zavisnosti od ulaznog napona. Ulazni napon 1, vodi P tranzistor, ulazni napon 0 vodi N tranzistor. Ako je kontrolni signal jednak 0 na N tranzistoru i 1 na P tranzistoru, oba tranzistora su zakočena.



## Dinamička logika

Problem koji se pojavljuje kod složenih CMOS logičkih kola jeste velik broj pMOS tranzistora sa velikim površinama u PUN mreži. To može da se reši pseudo NMOS tehnologijom ali na taj način dobijamo veliku dispaciju kada je logička nula na izlazu. U situaciji kada raspoložemo sinhronizacionim signalom sa kojim treba da radi naš digitalni sistem jedno od mogućih rešenja jeste i dinamička logika.



Konstrukcija dinamičkog logičkog kola je ista kao i kod složenih CMOS kola u domenu PDN mreža. Koristi se samo PDN mreža čiji je rad uslovljen sinhronizacionim signalom CLK.

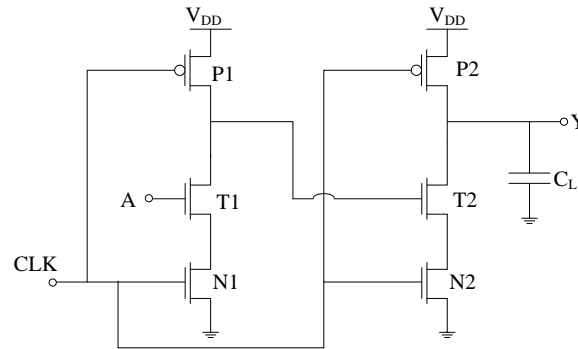
Kada je sinhronizacioni signal na nivou logičke nule vodi P tranzistor i on će puniti kapacitivnost na izlazu na logičku jedinicu, bez obzira na PDN mrežu pošto je njen donji kraj odvojen od mase, N tranzistor je zakočen. Ova faza se naziva pripremnom fazom odnosno precharge.

Kada je sinhronizacioni signal na nivou logičke jedinice P tranzistor je zakočen. N tranzistor vodi i obezbeđuje putanju struje prema masi za PDN mrežu. U zavisnosti od ulaza, odnosno šta treba na izlaz da postavi PDN mreža ona će ili prazniti izlaznu kapacitivnost ako na izlazu treba da bude logička nula, ili će i PDN mreža biti „zakočena“ kada na izlazu treba da bude logička jedinica, pa se kapacitivnost neće prazniti odnosno na izlazu će biti logička jedinica. Ova faza se naziva fazom izračunavanja i pri njenom kraju smo sigurni u logički nivo na izlazu, normalno ako smo usaglasili brzinu sinhronizacionog signala i brzinu rada PDN mreže.



## Domino logika

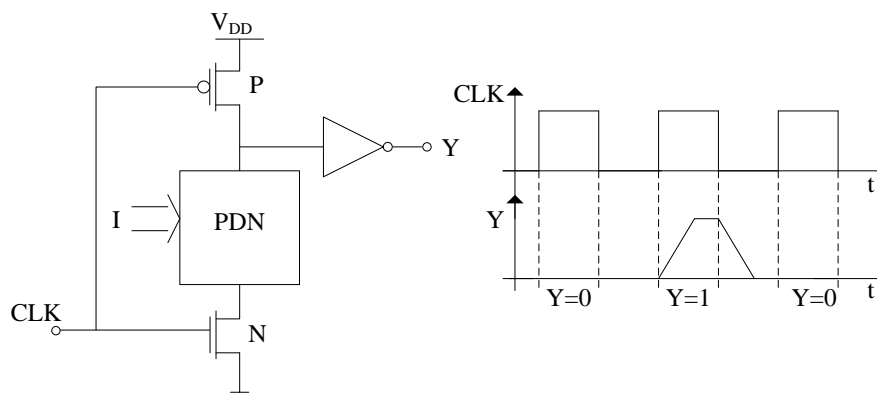
Kod dinamičke logike ozbiljan problem leži prilikom kaskadne veze funkcija. Da vidimo to na jednostavnom primeru



Ako je A na logičkoj nuli, u fazi pripreme kapacitivnost tranzistora T2 će se napuniti na  $V_{DD}$ . U fazi izračunavanja tranzistor T1 je zakočen, tranzistor T2 će voditi i prazniće izlaznu kapacitivnost, tako da će na kraju faze izračunavanja biti logička nula na izlazu kao što i treba da bude. Dvostruka inverzija.

Ako je A na logičkoj jedinici, u fazi pripreme kapacitivnost tranzistora T2 će se napuniti na  $V_{DD}$ . U fazi izračunavanja tranzistor T1 je voditi i prazniće kapacitivnost tranzistora T2. Međutim tranzistor T2 će voditi dok god mu se ne isprazne njegove kapacitivnosti a samim time će prazniti i izlaznu kapacitivnost. Može da se desi da na kraju faze izračunavanja napon na izlazu padne ispod logičke jedinice koja bi trebala da bude na izlazu.

Ovaj problem razrešava domino logika, koje je po strukturi dinamička logika sa dodatim invertorom na izlazu.



Invertor obezbeđuje da se na kraju pripreme faze, odnosno na početku izračunavanja, na gejtovim svih tranzistora u narednom stepenu nalaze logičke nule i time se sprečava njihov neželjen rad. U toku faze izračunavanja ako je potrebno uključice se odgovarajući tranzistori. Mana je što sve funkcije koje realizujemo moraju biti invertovane.